

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-041004

(43)Date of publication of application : 08.02.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20

(21)Application number : 2000-231392

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.07.2000

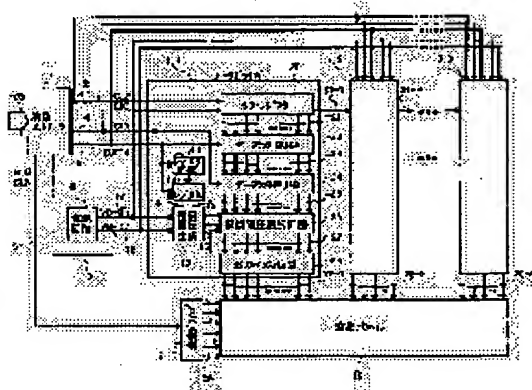
(72)Inventor : NITTA HIROYUKI
FURUHASHI TSUTOMU
KIMURA MAKOTO
KOSHI HIROBUMI
MAEDA TAKESHI

(54) LIQUID-CRYSTAL DRIVING CIRCUIT AND LIQUID-CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid-crystal display device for an optimum gradation control with a picture data by providing a gradation control register to a data driver where a liquid-crystal controller can be set using a data bus, for controlling a gradation voltage generating circuit.

SOLUTION: The data driver is provided with the gradation control register, and a reference voltage is generated in the data driver from an inputted reference voltage. The reference voltage is selected according to the setting of the gradation control register, for controlling a gradation voltage. The gradation control register is set from the liquid-crystal controller using the data bus for transmitting a display data, for controlling gradation from the liquid-crystal controller according to the picture data.



LEGAL STATUS

[Date of request for examination] 27.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3651371

[Date of registration] 04.03.2005

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-41004
(P2002-41004A)

(43) 公開日 平成14年2月8日 (2002.2.8)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 8 0
	6 4 1		6 4 1 C
	6 4 2		6 4 2 E

審査請求 未請求 請求項の数12 O L (全 27 頁)

(21) 出願番号 特願2000-231392(P2000-231392)

(22) 出願日 平成12年7月27日 (2000.7.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 古橋 勉

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(74) 代理人 100075096

弁理士 作田 康夫

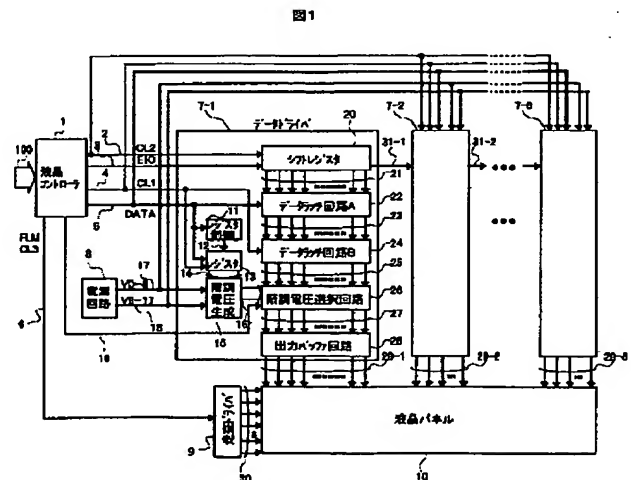
最終頁に続く

(54) 【発明の名称】 液晶駆動回路及び液晶表示装置

(57) 【要約】

【課題】 データドライバに、データバスを用いて液晶コントローラが設定可能な階調制御レジスタを設け、階調電圧生成回路を制御可能とすることで、画像データに対して最適な階調制御を実現する液晶表示装置を提供することにある。

【解決手段】 データドライバに階調制御レジスタを設け、入力した基準電圧から基準電圧をデータドライバ内部で生成して、階調制御レジスタの設定に従って基準電圧を選択することで、階調電圧を制御する。また、前記階調制御レジスタは、液晶コントローラから表示データを転送するデータバスを用いて設定可能とし、画像データに対応して液晶コントローラから階調制御を行う。



【特許請求の範囲】

【請求項 1】複数のマトリックス状に配列された画素部を有する液晶パネルと、

前記液晶パネルに液晶階調電圧を出力するデータドライバ回路と、

システム装置から供給される表示制御信号及び 2^N (N は正の整数) 階調を表す表示データを該データドライバ回路と該走査ドライバ回路を駆動するための液晶制御信号及び液晶表示データに変換する液晶制御回路と、
前記データドライバに複数のレベルの基準電圧を供給する電源回路とを有し、

前記データドライバ回路は、

前記液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、

前記電源回路から供給される複数の基準電圧から 2^N レベルの電圧を生成し、前記階調制御レジスタ回路に保持された前記液晶表示データと前記液晶階調電圧との対応関係に基づき、前記生成された 2^N レベルの電圧から階調生成基準電圧を選択することを特徴とする液晶表示装置。

【請求項 2】請求項 1 記載の液晶表示装置において、前記液晶制御回路が前記階調制御レジスタ回路に保持される、前記液晶表示データと前記液晶階調電圧との対応関係を設定することを特徴とする液晶表示装置。

【請求項 3】請求項 1 の液晶表示装置において、

前記データドライバ回路は、

前記電源回路で生成した複数の基準電圧を入力し、前記複数の基準電圧の間を分圧して 2^N レベルの選択基準電圧を生成する選択基準電圧生成回路と、

前記選択基準電圧生成回路により生成された前記 2^N レベルの選択基準電圧から 選択基準電圧を前記階調制御レジスタ回路に保持されている対応関係に基づき、複数の階調生成基準電圧を選択する基準電圧選択回路と、
前記基準電圧選択回路により選択した階調電圧生成基準電圧を分圧して液晶階調電圧を生成する液晶階調電圧生成回路とを有することを特徴とする液晶表示装置。

【請求項 4】請求項 2 の液晶表示装置において、前記階調制御レジスタ回路への前記液晶表示データと前記液晶階調電圧との対応関係の設定は、前記液晶制御回路が前記データドライバ回路に液晶表示データを転送するデータバスによって行われることを特徴とする液晶表示装置。

【請求項 5】請求項 1 の液晶表示装置において、前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の輝度分布に基づいて決定されることを特徴とする液晶表示装置。

【請求項 6】請求項 1 の液晶表示装置において、前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一

画面の表示データを複数の輝度領域毎に画素数をカウントし、前記複数の輝度領域毎にカウントされる画素分布数の平均値と、前記カウントされる各輝度領域の画素分布数との差分に基づいて決定されていることを特徴とする液晶表示装置。

【請求項 7】請求項 1、5 または 6 の液晶表示装置において、

前記階調制御レジスタに保持される前記液晶表示データと前記液晶階調電圧との対応関係は、フレーム毎に更新されることを特徴とする液晶表示装置。

【請求項 8】複数のマトリックス状に配列された画素部を有する液晶パネルと、

前記液晶パネルに対し、 2^N (N は正の整数) 階調を表す液晶表示データに対応した液晶階調電圧を出力するデータドライバ回路と、

前記データドライバ回路は、

前記液晶表示データを保持する液晶表示データ保持手段と、

前記液晶表示データと前記液晶階調電圧との対応関係を保持する階調制御レジスタ回路と、

前記データドライバに複数のレベルの基準電圧を供給する電源回路とを有し、

前記データドライバ回路は、

前記電源回路から供給される複数の基準電圧から 2^N レベルの電圧を生成し、階調制御レジスタ回路に保持されている前記液晶表示データと前記液晶階調電圧との対応関係に従って、前記生成された 2^N レベルの電圧から複数の階調生成基準電圧を選択する階調電圧生成回路と、
前記階調電圧生成回路により選択された複数の階調生成基準電圧に基づいて、前記液晶表示データ保持手段に保持された液晶表示データを階調電圧に変更する階調電圧選択回路とを有することを特徴とする液晶表示装置。

【請求項 9】請求項 8 の液晶表示装置において、

前記データドライバ回路は、

前記電源回路で生成した複数の基準電圧を入力し、前記複数の基準電圧の間を分圧して 2^N レベルの選択基準電圧を生成する選択基準電圧生成回路と、

前記選択基準電圧生成回路により生成された前記 2^N レベルの選択基準電圧から、選択基準電圧を前記階調制御レジスタ回路に保持されている対応関係に基づき、複数の階調生成基準電圧を選択する基準電圧選択回路と、
前記基準電圧選択回路により選択した階調電圧生成基準電圧を分圧して液晶階調電圧を生成する液晶階調電圧生成回路とを有することを特徴とする液晶表示装置。

【請求項 10】請求項 8 の液晶表示装置において、前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の輝度分布に基づいて決定されることを特徴とする液晶表示装置。

【請求項 11】請求項 8 の液晶表示装置において、

前記階調制御レジスタ回路に保持される前記液晶表示データと前記液晶階調電圧との対応関係は、入力される一画面の表示データを複数の輝度領域毎に画素数をカウントし、前記複数の輝度領域毎にカウントされる画素分布数の平均値と、前記カウントされる各輝度領域の画素分布数との差分に基づいて決定されていることを特徴とする液晶表示装置。

【請求項 12】請求 8、10 または 11 の液晶表示装置において、

前記階調制御レジスタに保持される前記液晶表示データと前記液晶階調電圧との対応関係は、フレーム毎に更新されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に動画に対応した階調特性にて、液晶パネルに駆動電圧を印加する液晶ドライバ回路を含む液晶表示装置に関する。

【0002】

【従来の技術】一般的なブラウン管を用いた CRT 表示装置は、テレビ放送や DVD 等の動画や自然画を表示する場合、表示画面の白表示（輝度の高い表示）の割合によって白ピーク輝度が異なっている。表示画面の白表示の割合が多い場合と少ない場合では、同じ白表示でも、白表示の割合が少ない方が多い場合に比べて、輝度がより高くなっている。このように、表示画面に対応して階調特性を制御することで、コントラストを向上して表示の見栄えを良くしている。

【0003】液晶表示装置では、1995 年 S I D D I G E S T (p 257-260) 「A 6-bit Digital Data Driver for Color TFT-LCDs」に記載されているように、データドライバは、入力される基準電圧から DAC 回路で階調電圧を生成し、表示データに対応した液晶印加電圧を選択して出力アンプ回路でバッファして出力していた。つまり、データドライバは表示データに対して交流極性の正極性、負極性それぞれ 1 つの階調電圧を出力しており、階調特性はどの表示画面に対しても同様であった。

【0004】このように、従来のデータドライバでは、動画表示や自然画表示に対応して、表示画面に対応して階調特性を制御する点に関しては考慮されていなかった。

【0005】一方、テレビ放送や DVD 等の動画や自然画を表示するため、液晶表示装置として階調制御を行う場合は、液晶コントローラ等で表示データを変換して階調特性を変化させている。図 30、図 31 は、表示データの変換による階調特性の制御を示している。データドライバは図 30 に示すように、入力されたドライバデータ n から $n+7$ に対して V_{Gn} から V_{Gn+7} の階調電圧を出力するため、階調特性を変更する場合は、表示デ

ータに対してドライバデータを変換する必要がある。図 31 の場合では、表示データ n から $n+7$ をドライバデータ n から $n+5$ に変換している。つまり、 n から $n+7$ の 8 階調のデータを n から $n+5$ の 6 階調のデータに変換して、階調特性を制御している。

【0006】また、特開平 11-337909 号公報に記載されている液晶表示装置では、階調電圧発生回路に予め複数の階調特性が設定されており、ユーザ操作可能なスイッチや液晶表示装置をディスプレイモニタとして使用するコンピュータからの選択信号等の応じて、使用する階調特性が選択される。

【0007】

【発明が解決しようとする課題】上記テレビ放送や DVD 等の動画や自然画を表示するため、液晶表示装置として階調制御を行う場合は、液晶コントローラ等で表示データを変換して階調特性を変化させるものでは、階調特性が一様データドライバへの表示データを変換して階調特性を変更するため、図 31 に示したように、8 階調のデータが 6 階調に変換されることになり階調がつぶれることになる。

【0008】また、特開平 11-337909 号公報に示されている液晶表示装置では、動画に対応して、フレーム毎や映像シーン毎に階調特性を制御することができなかった。

【0009】本発明の目的は、階調のつぶれを無くし、高画質表示を実現する液晶表示装置を提供することにある。

【0010】本発明の他の目的は、フレーム毎や映像シーン毎に階調特性を制御し、高画質表示を実現する液晶表示装置を提供することにある。

【0011】本発明の他の目的は、入力される映像信号がテレビ放送や DVD 等の動画表示、OA 用とのテキスト表示のそれぞれに対応した階調特性を実現する液晶表示装置を提供することにある。

【0012】本発明の他の目的は、端子の数を増加することなく、階調のつぶれを無くし、フレーム毎や映像シーン毎に階調特性を制御を行うための階調特性の設定を行う液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】上記問題を解決するため、本発明の液晶表示装置においては、複数のマトリクス状に配列された画素部を有する液晶パネルと、液晶パネルに液晶階調電圧を出力するデータドライバ回路と、システム装置から供給される表示制御信号及び 2^N (N は正の整数) 階調を表す表示データを該データドライバ回路と該走査ドライバ回路を駆動するための液晶制御信号及び液晶表示データに変換する液晶制御回路と、データドライバに複数のレベルの基準電圧を供給する電源回路とを有しており、上記データドライバ回路は、液晶表示データと液晶階調電圧との対応関係を保持する階

5

調制御レジスタ回路と、電源回路から供給される複数の基準電圧から 2^N レベルの電圧を生成し、階調制御レジスタ回路に保持された前記液晶表示データと前記液晶階調電圧との対応関係に基づき、生成された 2^N レベルの電圧から階調生成基準電圧を選択する。

【0014】つまり、外部から入力される表示データの輝度分布等を液晶表示データと液晶階調電圧との対応関係として、これに基づき、データドライバが階調電圧を生成するための基準となる階調生成基準電圧を決定し、これに基づき階調電圧を生成する。

【0015】また、外部から入力される表示データの輝度分布等の液晶表示データと液晶階調電圧との対応関係は、各フレーム毎に変化するため、各フレーム毎にこの対応関係を更新し、輝度分布の元となる表示データを、これによって決定された階調生成基準電圧に基づいて、階調電圧に変換して、液晶パネルに印加する構成とした。

【0016】また、前記階調制御レジスタは、液晶コントローラから表示データを転送するデータバスを用いて設定可能とし、画像データに対応して液晶コントローラから階調制御を行う。

【0017】

【発明の実施の形態】次に、本発明の第1の実施例について図1から図20を用いて説明する。

【0018】図1は本発明を適用した液晶パネル駆動回路の構成図であり、 $1280 \times \text{RGB} \times 1024$ の液晶パネルをRGB各256階調、1638400色表示を行う場合の液晶ディスプレイの構成を示す。100はシステム装置から転送されてきた表示信号群、1は表示信号群100を液晶ドライバの同期信号、表示データに変換する液晶コントローラ、2はデータ同期クロック、3は有効データスタート信号、4はデータ水平同期信号、5は表示データ、6は、走査ドライバ制御信号群、7-1から7-8は256階調、出力数480本のデータドライバで、7-1から7-8の8個で液晶パネルを駆動する。8は電源回路で液晶を駆動する階調電圧の正極性基準電圧17、負極性基準電圧18を生成し、9は液晶を走査する走査ドライバ、10は解像度 $1280 \times \text{RGB} \times 1024$ の液晶パネルである。

【0019】また、11はレジスタ制御回路、12はレジスタ13を制御するレジスタ制御信号群、14はレジスタ出力信号で階調電圧生成回路15を制御する。なお、レジスタ13は液晶表示データと液晶階調電圧との対応関係を保持する。対応関係については、図13等を用いて後述する。16は階調電圧生成回路15で生成した正極性、負極性それぞれ256階調の階調電圧信号群、19は交流の極性を制御する交流化信号である。また、20はシフトレジスタ、22はシフトレジスタ20で生成したシフトクロック21により表示データ5を順次ラッチするデータラッチ回路、24はデータラッチ回

6

路22の出力データ23をデータ水平同期信号4で全出力を同時にラッチするデータラッチ回路、26はデータラッチ回路24の出力データ25と交流化信号19に基づいて階調電圧信号群16から階調電圧を選択する階調電圧選択回路、28は階調電圧選択回路26で選択した選択階調電圧27をバッファ回路でバッファして出力する出力バッファ回路であり、29-1から29-8は $1280 \times \text{RGB} \times 1024$ の液晶パネル10を駆動する階調駆動電圧、30は走査電圧である。

10 【0020】図2、図3は、ドット反転駆動の液晶パネルの交流極性を示す図、図4は液晶ディスプレイの駆動タイミングを示す図、図5は階調電圧生成回路の構成図、図6、図7、図8は階調電圧生成回路の選択回路の構成図である。図9は階調制御レジスタの仕様を示す図、図10はデータバスの構成を示す図、図11はレジスタ制御回路、階調制御レジスタの構成図、図12は、階調制御レジスタの書き込みタイミングを示す図、図13から図18は階調制御の内容を示す図、図19、図20は液晶コントローラの構成図である。

20 【0021】図2に示すように、本実施例は、隣接する画素が互いに交流極性が逆となるドット反転駆動を行うため、図3に示すように隣接するデータドライバの出力端子は、互いに逆となる。

【0022】次に、これらの表示動作について説明する。図1において、液晶コントローラ1は図示しないパーソナルコンピュータ等のシステム装置から表示信号群100を受け取り、液晶を駆動するデータドライバ7-1から7-8、走査ドライバ9のタイミングに信号を変換する。液晶コントローラ1では、 2^N 階調（Nは正の整数）（RGB256階調）表示を行うため、RGB各Nビット（8ビット）を2画素パラレルにしてシリアルに48ビットのデータバスを用いて表示データを転送し、データドライバ7-1から7-8では、データ取り込みクロック2で順次RGB2画素ずつ表示データを取り込む。このデータ取り込みのタイミングを図1、図4を用いて説明する。データ取り込みクロック2に同期して転送される表示データ5は、表示データが有効となるタイミングで液晶コントローラ1が有効データスタート信号3を出力し、1段目のデータドライバ7-1が表示データの取り込みを開始する。データドライバ7-1はRGB2画素ずつ表示データを取り込み、80クロックで480出力分の表示データを取り込みを完了する。データドライバ7-1は、自段の表示データの取り込みが終わると、次段のデータドライバ7-2に対して有効データスタート信号31-1を出力し、データドライバ7-2が表示データ取り込みを開始する。以降のデータドライバ7-3から7-8も同様な動作を繰り返すことで、1ラインの表示データをデータラッチ回路A22に取り込む。

50 【0023】次に、データラッチ回路A22の1ライン

の表示データを全て同時にデータ水平同期信号4でデータラッチ回路B24にラッチし、各出力の表示データ、交流化信号19に対応した階調電圧16を階調電圧選択回路26で選択して、出力バッファ回路28でバッファして階調駆動電圧29-1から29-8を1ライン同時に出力する。

【0024】一方、走査ドライバ9は、液晶コントローラ1で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期して、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の1024クロックで順次1024ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で1024ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ7-1から7-8によって液晶パネル10のデータ線に階調駆動電圧29-1から29-8が出力され、表示データに対応した表示を実現する。

【0025】次に、階調制御の動作について説明する。階調電圧16は、電源回路8で生成された正極性階調基準電圧17のV0からV8の9レベル、負極性階調基準電圧18のV9からV17の9レベルから階調電圧生成回路15で正極性階調電圧2^N(256)レベル、負極性階調2^N(256)レベルが生成される。図5、図6、図7、図8は階調電圧生成回路15の内部構成図で、201-1、201-2は正極性と負極性の基準電圧生成回路、202-1、202-2は正極性、負極性の基準電圧17、18から生成した選択基準電圧で、正極性、負極性それぞれ基準電圧VS0からVS255の256レベルの電圧となる。203-1、203-2は基準電圧202-1、202-2からそれぞれ基準電圧を選択する回路で、204-1、204-2は階調生成基準電圧で、205-1、205-2は階調生成基準電圧204-1、204-2から液晶パネルを駆動するそれぞれ256階調(VG0からVG255)の階調電圧16を生成する階調電圧生成回路である。

【0026】次に、階調電圧生成動作について、各回路の動作を説明する。基準電圧生成回路201-1、201-2は、入力基準電圧が正極性17、負極性18と異なるが同様な回路であり、図6に示すように、V0とV1の間を32分圧してVS0からVS31までの32レベルの選択基準電圧を生成し、V1とV2の間も同様に32分圧してVS32からVS63までの32レベルの選択基準電圧を生成する。V2からV8の基準電圧の間を同様に選択基準電圧を生成することで、VS0からVS255の256レベルの選択基準電圧202-1を生成する。負極性の基準電圧18(V9からV17)に対しても同様に基準電圧生成回路201-2で256レベルの選択基準電圧202-2を生成する。選択回路

203-1、203-2では、階調電圧生成回路205-1、205-2で階調電圧を生成するための基準電圧を選択基準電圧202-1、202-2の中から選択する動作を行う。

【0027】図6において、階調電圧生成回路205は基準電圧V1BからV7Bの間を分圧して階調電圧を生成する。階調電圧VG0からVG31の32レベルは、基準電圧V0と選択回路203で選択した階調生成基準電圧V1Bの間を32分圧して生成する。階調電圧VG32からVG63の32レベルは、選択回路203で選択した階調生成基準電圧V1BとV2Bの間を32分圧して生成する。同様に、V2BからV7Bの間を分圧することでVG64からVG223の階調電圧を生成する。階調電圧VG224からVG255の32レベルは、選択回路203で選択した階調生成基準電圧V1Bと基準電圧V8との間を32分圧して生成する。階調電圧生成回路205-2でも同様に負極性の階調電圧VG0からVG255を生成する。従って、選択回路203-1、203-2で、階調制御信号14によって階調生成基準電圧204-1、204-2の電圧選択を制御することで階調電圧を制御することができる。

【0028】図6において、バッファアンプ206は選択電圧をバッファして、階調生成基準電圧V1BからV7Bを階調電圧生成回路205に接続する。例えば、階調生成基準電圧V1Bは、選択基準電圧VS0、VS1からVG63までの64レベルから1レベルを選択することで生成される。また、階調生成基準電圧V2Bは、選択基準電圧VS0、VS2からVG126までの64レベルから1レベルを選択することで生成される。同様に、階調生成基準電圧V3Bは、選択基準電圧VS32、VS34からVG158までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V4Bは、選択基準電圧VS64、VS66からVG190までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V5Bは、選択基準電圧VS98、VS100からVG224までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V6Bは、選択基準電圧VS129、VS131からVG255までの64レベルから1レベルを選択することで生成され、階調生成基準電圧V7Bは、選択基準電圧VS192、VS193からVG255までの64レベルから1レベルを選択することで生成される。

【0029】また、図6の207、208は選択回路で、基準電圧V0、V8をそれぞれ選択する回路で、図7、図8に内部構成図を示す。図7において、階調電圧生成回路205の階調電圧VG8、VG16、VG24、VG40、VG48、VG56にB1からB6が接続されており、選択信号14によって選択スイッチが有効になった分圧ポイントに基準電圧V0が接続される。図8も同様に階調電圧生成回路205の階調電圧VG2

00、VG208、VG216、VG232、VG240、VG48にW6からW1が接続されており、選択信号14によって選択スイッチが有効になった分圧ポイントに基準電圧V8が接続される。この選択回路207、208によって、階調電圧生成回路205は低階調領域が基準電圧V0の電圧レベル、高階調領域が基準電圧V8の電圧レベルに固定されることになる。

【0030】次に、階調制御レジスタの構成及び動作について説明する。階調制御レジスタ13は、48ビットのデータバスの内36ビットを用いて液晶コントローラ1から設定データの書込みを行う。図9は階調制御レジスタのビット構成、図10はデータバスのビット構成を示す。図9に示すように、階調制御レジスタは6ビットレジスタ10個で構成し、NO. 1からNO. 9のB1からB6、W1からW6の設定、V1BからV7Bの設定を行うレジスタとNO. 10の制御レジスタで構成されている。図10に示すように、データバスのRGB各8ビット2画素のRO[7:0]、RE[7:0]、GO[7:0]、GE[7:0]、BO[7:0]、BE[7:0]の48ビットの内、RO[5:0]、RE[5:0]、GO[5:0]、GE[5:0]、BO[5:0]、BE[5:0]の36ビットをポート0からポート5に割り当てる。制御レジスタはポート5に割り当て、他のレジスタを図9に示すポート0からポート4に割り当て、制御レジスタのP0からP4ビットで各階調制御レジスタの書込みが有効か無効かを設定し、RSビットで同一ポートに割り当てられた階調制御レジスタの選択を行う。このようなレジスタ構成により、2回の書込みで全ての階調制御レジスタを設定することができる。

【0031】次に、階調制御レジスタの書込み動作及び回路構成について説明する。図11は階調制御レジスタの回路構成図、図12は書込みタイミングを示す図である。データバスは表示データの転送を行うことから、表示データの転送が有効でない水平帰線期間のデータ水平同期信号4の立ち上がりエッジでデータを取り込みを行うことで、データバスの共有ができ、データドライバの入力端子数が増加しないで、階調制御レジスタの設定を実現する。また、図11に示すように、ポート0からポート4に割り当てられたデータバス30ビットを各9個の階調制御レジスタに接続し、ポート5の制御レジスタのP0からP4ビットとRSビットの条件により有効にすることで階調制御レジスタの書込みを実現できる。

【0032】以上のように、階調制御レジスタに設定データを書込むことで、階調電圧生成回路の階調生成基準電圧を設定することで、データ変換制御のように階調つぶれの少ない階調制御を実現できる。

【0033】次に、本発明により実現する階調制御について、図13から図18を用いて説明する。

【0034】図13はヒストグラム伸長制御を行った場

合の階調制御を示している。32階調毎の表示画面の0から255階調レベルの輝度分布を調べ、0から31階調の画素が少ないと判定される場合、0から31階調のコントラストを低下させ、32から255階調のコントラストを高くすることで、画面全体のコントラストが向上する。

【0035】また、図14では、32階調毎の表示画面の0から255階調レベルの輝度分布を調べ、224から255階調の画素が少ないと判定される場合、224から255階調のコントラストを低下させ、0から223階調のコントラストを高くすることで、画面全体のコントラストが向上する。

【0036】また、図15では、32階調毎の表示画面の0から255階調レベルの輝度分布を調べ、0から31階調と224から255階調の画素が少ないと判定される場合、0から31階調と224から255階調のコントラストを低下させ、32から223階調のコントラストを高くすることで、画面全体のコントラストが向上する。

【0037】このように、ヒストグラム伸長制御は、表示画面の画素の輝度分布を調べ、低階調又は高階調領域の画素が少ない場合は、画素が少ない領域のコントラストを低下させ、画素が多数有る領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。

【0038】本実施例では、画面全体のコントラストを向上させるため、表示データ自身の階調レベルを変換するのではなく、階調電圧を生成するための階調生成基準電圧を変換し、これに基づいて階調電圧を生成している。

【0039】つまり、ヒストグラム伸長制御を行うため、1フレーム毎のヒストグラムを液晶表示データと液晶階調電圧との対応関係としてレジスタ13に設定する。そして、階調電圧生成回路16においては、電源回路8から供給される基準電圧17、18から256レベルの基準電圧を生成し、レジスタ13に記憶された対応関係に基づいて、電源回路8から供給される基準電圧17、18に変わる階調生成基準電圧を決定する。具体的には、図13の場合には階調32から255までをリニアに変化させるべく、階調生成基準電圧V1BからV7Bを設定することになる。例えば、階調0-31までは階調電圧を0とする必要があるため、階調生成基準電圧V1BとV2Bはいずれも0とし、残るV3BからV7Bにより、階調0から255までリニアに変化するように、V3BからV7Bでは均等に電圧あげるように設定するように階調生成基準電圧を決定する必要がある。同様に図14においても、階調生成電圧の決定を223階調から255階調間は、255階調に対応する階調電圧が得られ、その他の階調はリニアに変化するように階調生成基準電圧を決定する。図15においても、階調生成

基準電圧の決定は、図 15 に示されたグラフのように階調電圧が得られるように決定される。

【0040】図 13 から図 15 の例では、32 階調毎の輝度分布を調べているが、16 階調毎や 8 階調毎の輝度分布を調べることで、より細かくヒストグラム伸長制御が可能となり、高画質化を実現できる。

【0041】また、ヒストグラム伸長制御は、本実施例では、液晶コントローラ 1 で輝度分布を調べ、その結果を基に階調制御レジスタ NO. 1、NO. 2 の B1 から B6、W1 から W6 を設定することで 8 階調毎に低階調領域または高階調領域の電圧を V0 (VG0)、V8 (VG255) に固定することができ、容易に実現できる。

【0042】次に、図 16、図 17 を用いてはガンマ曲線制御を行った場合の階調制御について説明する。図 16 はガンマ曲線が $\gamma = 1.8$ の曲線を $\gamma = 2.2$ に制御する階調制御を示している。一般にガンマ曲線のガンマ係数が大きくなると高階調領域のコントラストが高くなり、ガンマ係数が小さくなると低階調領域のコントラストが高くなる。図 13、図 14、図 15 で示した輝度分布に基づいて、高階調領域の画素分布が多い場合はガンマ係数を大きくし、逆に、低階調領域の画素分布が多い場合はガンマ係数を小さくするように、階調制御レジスタを設定する。また、ガンマ変換がなされていない表示データに対して逆ガンマ変換を行うことで高画質表示を実現する。図 16 は、ガンマ係数 $\gamma = 1.8$ の階調曲線をガンマ係数 $\gamma = 2.2$ に変換する階調制御の例を示している。また図 17 はガンマ係数 $\gamma = 2.4$ の階調曲線をガンマ係数 $\gamma = 2.2$ に変換する階調制御の例を示している。

【0043】このように、ガンマ曲線制御は、テレビ放送や DVD 等の動画表示の場合と OA 用途のテキストやドキュメントの表示の場合で最適なガンマ曲線が異なる場合に、ガンマ曲線を制御することで画面全体のコントラスト、見栄えの向上を実現する。

【0044】また、ガンマ曲線制御は、本実施例では、液晶コントローラ 1 で入力される映像信号がテレビ放送や DVD 等の動画表示か、OA 用途のテキストやドキュメントの表示かを判定し、その結果を基に階調制御レジスタ NO. 3 から NO. 9 の階調制御レジスタを設定して、階調生成基準電圧 V1B から V7B を設定することでガンマ曲線の階調制御を行い任意のガンマ曲線の設定を容易に実現できる。

【0045】次に、図 18 を用いて、イコライズ伸長制御について説明する。

【0046】図 18 はイコライズ伸長制御を行った場合の階調制御を示しており、32 階調毎の表示画面の 0 から 255 階調レベルの輝度分布を調べ、平均の画素分布数より多い階調領域のコントラストを高くすることで、画面全体のコントラストが向上する。階調領域 32 から

63 の画素数は平均画素数よりも多いため、階調領域 32 から 63 のコントラストを高くし、逆に階調領域 128 から 159 の画素数は平均画素数よりも少ないため、階調領域 128 から 159 はコントラストを低くする。このように、各階調領域の画素分布に従ってコントラストを高くまた低くすることで、画面全体のコントラスト、見栄えの向上を実現する。

【0047】このように、イコライズ伸長制御は、表示画面の画素の輝度分布を調べ、画素が少ない領域のコントラストを低下させ、画素が多い領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。

【0048】また、イコライズ伸長制御は、本実施例では、液晶コントローラ 1 で輝度分布を調べ、その結果を基に階調制御レジスタ NO. 3 から NO. 9 の階調制御レジスタを設定して、階調生成基準電圧 V1B から V7B を設定することでイコライズ伸長制御の階調制御を行い階調領域毎のコントラスト制御の設定を容易に実現できる。

【0049】次に、上記階調制御を行う液晶コントローラの構成について、図 19、図 20 を用いて説明する。図 19 に示す 301 は液晶駆動制御回路で、表示信号群 100 から液晶パネル駆動用のデータ同期クロック 2、有効データスタート信号 3、データ水平同期信号 4、交流化信号 19 を生成する。302 は映像解析回路で、表示信号群 100 の表示データの輝度分布 (ヒストグラム)、平均輝度、ガンマ曲線等の映像情報を解析し、解析データを階調制御判定回路 303 に出力する。階調制御判定回路 303 では、映像の解析データに基づいて、階調制御を決定し、設定データ生成回路 304 でデータドライバ 7-1 から 7-8 の階調制御レジスタに設定する設定データ 306 を生成する。設定データ 306 と表示データ 305 は、図 12 に示したタイミングで選択信号 308 によって選択回路 307 で切替えることで、データバスを共有することができる。

【0050】本実施例では、画面全体のコントラストを向上させるため、表示データ自身の階調レベルを変換するのではなく、階調電圧を生成するための階調生成基準電圧を変換し、これに基づいて階調電圧を生成している。

【0051】つまり、イコライズ伸長制御を行うため、1 フレーム毎の表示データを複数の輝度領域毎に画素数をカウントしてヒストグラムを作成し、複数の輝度領域毎にカウントされる画素分布数の平均値と、カウントされる各輝度領域の画素分布数との差分を液晶表示データと液晶階調電圧との対応関係としてレジスタ 13 に設定する。そして、階調電圧生成回路 16 においては、電源回路 8 から供給される基準電圧 17、18 から 256 レベルの基準電圧を生成し、レジスタ 13 に記憶された対応関係に基づいて、電源回路 8 から供給される基準電圧

17、18に変わる階調生成基準電圧を決定するこのように、液晶コントローラで映像を解析して、データドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に階調制御を行うことができる。

【0052】図20は、液晶コントローラ以外のシステム装置で映像の解析を行い階調制御信号を液晶コントローラに転送して、液晶コントローラで階調制御レジスタの設定データ生成を行う場合の構成を示している。図20に示す401は液晶駆動制御回路で、表示信号群100から液晶パネル駆動用のデータ同期クロック2、有効データスタート信号3、データ水平同期信号4、交流化信号19を生成する。400はパーソナルコンピュータ等のシステム装置で、表示する映像の輝度分布（ヒストグラム）、平均輝度、ガンマ曲線等の解析結果やユーザ設定情報に基づいて階調制御の指示を行う階調制御信号402を液晶コントローラ1に転送する。液晶コントローラ1は、階調制御判定回路403でシステム装置400からの階調制御信号402の指示にしたがって、階調制御を決定し、設定データ生成回路404でデータドライバ7-1から7-8の階調制御レジスタに設定する設定データ406を生成する。設定データ406と表示データ405は、図12に示したタイミングで選択信号408によって選択回路407で切換えることで、データバスを共有することができる。このように、システム装置で映像を解析して、液晶コントローラでデータドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に階調制御を行うことができる。

【0053】尚、本実施例では、256階調表示に対応して、基準電圧を正極性、負極性それぞれ9本に設定したが、これに限ったものではなく、正極性、負極性それぞれ5本に設定した場合も、同様に階調制御が実現できる。また、階調生成基準電圧V1BからV7Bを32階調毎に設定したが、これに限ったものではなく、16階調毎に設定した場合でも同様に階調制御が実現できる。

【0054】次に、本発明の第2の実施例について図9から図18、図21から図29を用いて説明する。

【0055】第2の実施例は、コモン反転駆動を行い、64階調のデータドライバを用いてFRC制御によって2^N（256）階調表示実現するところが、第1の実施例と異なる。

【0056】図21は本発明を適用した液晶パネル駆動回路の構成図であり、1280×RGB×1024の液晶パネルをFRC制御によりRGB各256階調、1638400色表示を行う場合の液晶ディスプレイの構成を示す。100はシステム装置から転送されてきた表示信号群、101は表示信号群100を液晶ドライバの同期信号、表示データに変換する液晶コントローラ、102はデータ同期クロック、103は有効データスタート

信号、104はデータ水平同期信号、105は表示データ、106は、走査ドライバ制御信号群、107-1から107-8は64階調、出力数480本のデータドライバで、107-1から107-8の8個で液晶パネルを駆動する。108は電源回路で液晶を駆動する階調電圧の正極性基準電圧131、負極性基準電圧132、正極性コモン電圧141、負極性コモン電圧142を生成し、109は液晶を走査する走査ドライバ、110は解像度1280×RGB×1024の液晶パネルである。また、111はレジスタ制御回路、112はレジスタ113を制御するレジスタ制御信号群、114はレジスタ出力信号で階調電圧生成回路115を制御する。116は階調電圧生成回路115で生成した正極性または負極性それぞれ64階調の階調電圧信号群、119は交流の極性を制御する交流化信号である。133は正極性基準電圧131、負極性基準電圧132を交流化信号119で切換える切換え回路、143は正極性コモン電圧141、負極性コモン電圧142を交流化信号119で切換える切換え回路である。また、120はシフトレジスタ、122はシフトレジスタ120で生成したシフトクロック121により表示データ105を順次ラッチするデータラッチ回路、124はデータラッチ回路122の出力データ123をデータ水平同期信号104で全出力を同時にラッチするデータラッチ回路、126はデータラッチ回路124の出力データ125に基づいて階調電圧信号群116から階調電圧を選択する階調電圧選択回路、128は階調電圧選択回路126で選択した選択階調電圧127をバッファ回路でバッファして出力する出力バッファ回路であり、129-1から129-8は1280×RGB×1024の液晶パネル110を駆動する階調駆動電圧、130は走査電圧である。

【0057】図22、図23は、コモン反転駆動の液晶パネルの交流極性を示す図、図24は液晶ディスプレイの駆動タイミングを示す図、図25は階調電圧生成回路の構成図、図26、図27、図28は階調電圧生成回路の選択回路の構成図である。図29は液晶コントローラの構成図である。

【0058】図22に示すように、本実施例は、同一ラインの画素は交流極性が同じで、隣接するラインの画素が互いに交流極性が逆となるコモン反転駆動を行うため、図23に示すように隣接するラインの交流極性は逆となり、これに同期して液晶の対抗電極の電圧であるコモン電圧（Vcom）を反転することで交流駆動を行う。

【0059】次に、これらの表示動作について説明する。図21において、液晶コントローラ101は図示しないパーソナルコンピュータ等のシステム装置からRGB各8ビット256階調、1638400色表示の表示信号群100を受け取り、液晶を駆動するデータドライバ107-1から107-8、走査ドライバ109のタ

イミングに信号を変換する。液晶コントローラ 101 では、データドライバ 7-1 から 7-8 が 64 階調の電圧を生成することから、RGB 各 8 ビットを FRC 制御した 6 ビットの表示データに変換して 256 階調表示を行う。FRC 制御は異なる階調電圧をフレーム毎に印加することで、その中間の階調を表示する方式である。従って、液晶コントローラ 101 は、電圧による電圧階調 0 から 63 の間に 3 階調づつ、電圧階調 62 と 63 の間には FRC 制御による FRC 階調を 6 階調として、256 階調表示を行う。

【0060】そして、液晶コントローラ 101 では、RGB 各 6 ビットを 2 画素パラレルにしてシリアルに 36 ビットのデータバスを用いて表示データを転送し、データドライバ 107-1 から 107-8 では、データ取り込みクロック 102 で順次 RGB 2 画素づつ表示データを取り込む。

【0061】このデータ取り込みのタイミングを図 21、図 24 を用いて説明する。データ取り込みクロック 102 に同期して転送される表示データ 105 は、表示データが有効となるタイミングで液晶コントローラ 101 が有効データスタート信号 103 を出力し、1 段目のデータドライバ 107-1 が表示データの取り込みを開始する。データドライバ 107-1 は RGB 2 画素づつ表示データを取り込み、80 クロックで 480 出力分の表示データを取り込みを完了する。データドライバ 107-1 は、自段の表示データの取り込みが終わると、次段のデータドライバ 107-2 に対して有効データスタート信号 134-1 を出力し、データドライバ 107-2 が表示データ取り込みを開始する。以降のデータドライバ 107-3 から 107-8 も同様な動作を繰り返すことで、1 ラインの表示データをデータラッチ回路 A 122 に取り込む。

【0062】次に、データラッチ回路 A 122 の 1 ラインの表示データを全て同時にデータ水平同期信号 104 でデータラッチ回路 B 124 にラッチし、各出力の表示データ 125 に対応した階調電圧 116 を階調電圧選択回路 126 で選択して、出力バッファ回路 128 でバッファして階調駆動電圧 129-1 から 129-8 を 1 ライン同時に出力する。

【0063】一方、走査ドライバ 109 は、液晶コントローラ 101 で生成されたフレーム同期信号 FLM のタイミングで走査水平同期信号 CL3 に同期して 1 ライン目のゲート線を選択し、走査水平同期信号 CL3 に同期して、順次 2 ライン目、3 ライン目のゲート線を選択する。走査水平同期信号 CL3 の 1024 クロックで順次 1024 ラインを選択し、次のフレーム同期信号 FLM が有効になると、1 ライン目のゲート線を選択する。このようにフレーム周期で 1024 ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ 107-1 から 107-8 によって液晶パネル 110

のデータ線に階調駆動電圧 129-1 から 129-8 が出力され、表示データに対応した表示を実現する。

【0064】次に、階調制御の動作について説明する。階調電圧 116 は、電源回路 108 で生成した正極性基準電圧 131 と負極性基準電圧 132 を切換え回路 133 で交流化信号 119 で切換え、基準電圧 117 として V0 から V8 の 9 レベルを階調電圧生成回路 115 に入力する。

【0065】この時、切換え回路 143 では、図 23 に示すように、正極性の階調電圧が印加される場合と負極性の階調電圧が印可される場合に対応して、交流化信号 119 でコモン電圧を切換え、液晶パネル 110 のコモン電極を駆動する。階調電圧生成回路 115 では、基準電圧 117 の V0 から V8 の 9 レベルから 64 レベルの階調電圧 116 を生成するが、基準電圧 117 が正極性の場合には正極性の階調電圧、負極性の場合には負極性の階調電圧のどちらかが生成される。

【0066】図 25、図 26、図 27、図 28 は階調電圧生成回路 115 の内部構成図で、501 は基準電圧生成回路、502 は選択基準電圧で基準電圧 VS0 から VS63 の 64 レベルの電圧となる。503 は選択基準電圧 502 から基準電圧を選択する回路で、504 は階調生成基準電圧で、505 は階調生成基準電圧 504 から液晶パネルを駆動する 64 階調 (VG0 から VG63) の階調電圧 116 を生成する階調電圧生成回路である。

【0067】次に、階調電圧生成動作について、各回路の動作を説明する。基準電圧生成回路 501 は、図 26 に示すように、V0 と V1 の間を 8 分圧して VS0 から VS7 までの 8 レベルの選択基準電圧 502 を生成し、V1 と V2 の間も同様に 8 分圧して VS8 から VS15 までの 8 レベルの選択基準電圧を生成する。V2 から V8 の基準電圧の間を同様に選択基準電圧を生成することで、VS0 から VS63 の 64 レベルの選択基準電圧 502 を生成する。選択回路 503 では、階調電圧生成回路 505 で階調電圧を生成するための基準電圧を選択基準電圧 502 の中から選択する動作を行う。

【0068】図 26 において、階調電圧生成回路 505 は基準電圧 V1B から V7B の間を分圧して階調電圧を生成する。階調電圧 VG0 から VG7 の 8 レベルは、基準電圧 V0 と選択回路 503 で選択した階調生成基準電圧 V1B の間を 8 分圧して生成する。階調電圧 VG8 から VG15 の 8 レベルは、選択回路 503 で選択した階調生成基準電圧 V1B と V2B の間を 8 分圧して生成する。同様に、V2B から V7B の間を分圧することで VG16 から VG55 の階調電圧を生成する。階調電圧 VG56 から VG63 の 8 レベルは、選択回路 503 で選択した階調生成基準電圧 V1B と基準電圧 V8 との間を 8 分圧して生成する。従って、選択回路 503 で、階調制御信号 114 によって階調生成基準電圧 504 の電圧選択を制御することで階調電圧を制御することがで

きる。図 26 において、バッファアンプ 506 は選択電圧をバッファして、階調生成基準電圧 V1B から V7B を階調電圧生成回路 505 に接続する。例えば、階調生成基準電圧 V1B は、選択基準電圧 VS0、VS1 から VG31 までの 32 レベルから 1 レベルを選択することで生成される。また、階調生成基準電圧 V2B は、選択基準電圧 VS0、VS1 から VG31 までの 32 レベルから 1 レベルを選択することで生成する。同様に、階調生成基準電圧 V3B は、選択基準電圧 VS8、VS9 から VG39 までの 32 レベルから 1 レベルを選択することで生成し、階調生成基準電圧 V4B は、選択基準電圧 VS16、VS17 から VG47 までの 32 レベルから 1 レベルを選択することで生成し、階調生成基準電圧 V5B は、選択基準電圧 VS25、VS26 から VG56 までの 32 レベルから 1 レベルを選択することで生成し、階調生成基準電圧 V6B は、選択基準電圧 VS32、VS33 から VG63 までの 32 レベルから 1 レベルを選択することで生成し、階調生成基準電圧 V7B は、選択基準電圧 VS32、VS33 から VG63 までの 32 レベルから 1 レベルを選択することで生成する。

【0069】また、図 26 の 507、508 は選択回路で、基準電圧 V0、V8 をそれぞれ選択する回路で、図 27、図 28 に内部構成図を示す。図 27 において、階調電圧生成回路 505 の階調電圧 VG2、VG4、VG6、VG10、VG12、VG14 に B1 から B6 が接続されており、選択信号 114 によって選択スイッチが有効になった分圧ポイントに基準電圧 V0 が接続される。図 28 も同様に階調電圧生成回路 505 の階調電圧 VG50、VG52、VG54、VG58、VG60、VG62 に W6 から W1 が接続されており、選択信号 114 によって選択スイッチが有効になった分圧ポイントに基準電圧 V8 が接続される。この選択回路 507、508 によって、階調電圧生成回路 505 は低階調領域が基準電圧 V0 の電圧レベル、高階調領域が基準電圧 V8 の電圧レベルに固定されることになる。

【0070】次に、階調制御レジスタの構成及び動作について説明する。第 2 の実施例では、階調制御レジスタは第 1 の実施例と同様な構成となるため、再び図 9 から図 12 を用いて説明する。階調制御レジスタ 113 は、36 ビットのデータバスを用いて液晶コントローラ 101 から設定データの書込みを行う。図 9 は階調制御レジスタのビット構成、図 10 はデータバスのビット構成を示す。図 9 に示すように、階調制御レジスタは 6 ビットレジスタ 10 個で構成し、NO. 1 から NO. 9 の B1 から B6、W1 から W6 の設定、V1B から V7B の設定を行うレジスタと NO. 10 の制御レジスタで構成されている。

【0071】図 10 に示すように、データバスの RGB 各 8 ビット 2 画素の RO [7:0]、RE [7:0]、GO [7:0]、GE [7:0]、BO [7:0]、B

E [7:0] の 48 ビットの内、RO [5:0]、RE [5:0]、GO [5:0]、GE [5:0]、BO [5:0]、BE [5:0] の 36 ビットをポート 0 からポート 5 に割り当てる。但し、第 2 の実施例では、NO. 3 から NO. 9 の V1B から V7B の設定レジスタは、32 レベルの選択回路となるため、D4 から D0 の 5 ビットが有効となり、D5 ビットは無効となる。制御レジスタはポート 5 に割り当て、他のレジスタを図 9 に示すポート 0 からポート 4 に割り当て、制御レジスタの P0 から P4 ビットで各階調制御レジスタの書込みが有効か無効かを設定し、RS ビットで同一ポートに割り当てられた階調制御レジスタの選択を行う。このようなレジスタ構成により、2 回の書込みで全ての階調制御レジスタを設定することができる。

【0072】また、第 2 の実施例の階調制御レジスタの書込み動作及び回路構成についても図 11、図 12 に示すように第 1 の実施例と同様である。

【0073】以上のように、階調制御レジスタに設定データを書込むことで、階調電圧生成回路の階調生成基準電圧を設定することで、データ変換制御のように階調つぶれの無い階調制御を実現できる。

【0074】次に、本発明により実現する階調制御について、図 13 から図 18 を用いて説明する。第 2 の実施例では、第 1 の実施例と同様に階調制御を行うことができる。

【0075】図 13、図 14、図 15 のヒストグラム伸長制御は、本実施例でも第 1 の実施例と同様に、表示画面の画素の輝度分布を調べ、低階調又は高階調領域の画素が少ない場合は、画素が少ない領域のコントラストを低下させ、画素が多数有る領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。

【0076】また、ヒストグラム伸長制御は、本実施例では、液晶コントローラ 101 で輝度分布を調べ、その結果を基に階調制御レジスタ NO. 1、NO. 2 の B1 から B6、W1 から W6 を設定することで 8 階調毎に低階調領域または高階調領域の電圧を V0 (VG0)、V8 (VG63) に固定することができ、容易に実現できる。

【0077】また、図 16、図 17 に示したガンマ曲線制御についても、第 1 の実施例同様に階調制御を行うことができる。本実施例では、液晶コントローラ 101 で入力される映像信号がテレビ放送や DVD 等の動画表示か、OA 用途のテキストやドキュメントの表示かを判定し、その結果を基に階調制御レジスタ NO. 3 から NO. 9 の階調制御レジスタを設定して、階調生成基準電圧 V1B から V7B を設定することでガンマ曲線の階調制御を行い任意のガンマ曲線の設定を容易に実現できる。

【0078】また、図 18 に示したイコライズ伸長制御についても、第 1 の実施例同様に階調制御を行うことが

できる。本実施例では、液晶コントローラ 101 で輝度分布を調べ、その結果を基に階調制御レジスタ NO. 3 から NO. 9 の階調制御レジスタを設定して、階調生成基準電圧 V1B から V7B を設定することでイコライズ伸長制御の階調制御を行い階調領域毎のコントラスト制御の設定を容易に実現できる。

【0079】次に、上記階調制御を行う液晶コントローラの構成について、図 29 を用いて説明する。図 29 は、液晶ディスプレイのユーザ設定回路により階調制御を指示する階調制御信号と液晶コントローラで映像データの解析を行った結果に基づいて、階調制御を行う場合の構成を示している。図 29 において、601 は液晶駆動制御回路で、表示信号群 100 から液晶パネル駆動用のデータ同期クロック 102、有効データスタート信号 103、データ水平同期信号 104、交流化信号 119 を生成する。また、液晶駆動制御回路 601 では RGB 8 ビットデータを FRC 制御を行い RGB 6 ビットの表示データに変換する。602 は映像解析回路で、表示信号群 100 の表示データの輝度分布（ヒストグラム）、平均輝度、ガンマ曲線等の映像情報を解析し、解析データを階調制御判定回路 603 に出力する。さらに、600 は液晶ディスプレイに設けたユーザが設定可能なスイッチ等のユーザ設定回路で、ユーザが階調設定を指示することができる。階調制御判定回路 603 では、映像解析回路 602 からの映像の解析データと、ユーザ設定回路 600 から階調設定を指示する階調制御信号 609 に基づいて、階調制御を決定し、設定データ生成回路 604 でデータドライバ 107-1 から 107-8 の階調制御レジスタに設定する設定データ 606 を生成する。設定データ 606 と表示データ 605 は、図 12 に示したタイミングで選択信号 608 によって選択回路 607 で切換えることで、データバスを共有することができる。このように、液晶コントローラで映像を解析して、データドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に、またはユーザの好みに対応して階調制御を行うことができる。

【0080】尚、本実施例では、64 階調表示（FRC 制御により 256 階調表示）に対応して、基準電圧を 9 本に設定したが、これに限ったものではなく、正極性、負極性それぞれ 5 本に設定した場合も、同様に階調制御が実現できる。また、階調生成基準電圧 V1B から V7B を 32 階調毎に設定したが、これに限ったものではなく、16 階調毎に設定した場合でも同様に階調制御が実現できる。

【0081】次に、本発明の第 3 の実施例について図 9 から図 18、図 32 から図 38 を用いて説明する。第 3 の実施例は、コモン反転駆動を行い、表示メモリを内蔵した 64 階調のデータドライバを用いて階調表示実現するところが、第 1、第 2 の実施例と異なる。

【0082】図 32 は本発明を適用した液晶パネル駆動

回路の構成図であり、160×RGB×240 の液晶パネルを RGB 各 64 階調、262144 色表示を行う場合の液晶ディスプレイの構成を示す。701 はシステム装置の CPU、702 は制御信号、データを含んだシステムバス、703 はメモリ、704 は表示メモリを内蔵したデータドライバで、160×RGB=480 出力を有し、240 ライン分の表示メモリを内蔵する。705 は液晶駆動の階調基準電圧 731、液晶パネルのコモン電極のコモン電圧 732、733 を生成する電源回路、706 は液晶パネル 707 を走査する走査ドライバである。708、709 はシステムバス 702 からデータドライバ 704 への制御信号群、データバス、755 は CPU 701 からのコマンドを受け表示メモリ 744 や階調制御レジスタ 736 の制御を行うコマンド制御回路、710 は表示メモリのアドレスやデータを保持するメモリ制御レジスタ、711 はメモリ制御レジスタ 710 に対応して表示メモリのデータアドレス 712、ワードアドレス 714、メモリバス 713 を制御するメモリ制御回路である。

【0083】また、716 は表示タイミングの基準クロック 717 を生成する発振回路、718 は表示タイミングを制御する表示制御回路、719 はデータ水平同期信号 720 に従って動作する走査カウンタ、723 はコマンド制御回路 755 で生成するメモリアクセス信号 725 と表示制御回路 718 で生成する表示アクセス信号 721 に基づいて、表示メモリ 744 をメモリアクセスまたは表示アクセスにするかを調停するアービタ回路、715 はワードアドレス 714 と表示アドレス 726 を表示切換え信号 727 で選択するワードアドレス選択回路、728 選択したワードアドレスである。729 は交流のタイミングを示す交流化信号、730 は走査ドライバ 706 への走査制御信号である。736 は階調制御を行う階調制御レジスタ、738 は階調制御信号 737 に基づいて階調電圧を生成する階調電圧生成回路、739 は階調電圧信号群である。また、740 は表示メモリ 744 のデータアドレスをデコードするデータ線デコーダ、741 はデータ線を選択するデータ線選択信号、742 は表示メモリ 744 のリード／ライト制御を行う I/O セレクタ、745 はワードアドレスをデコードするワード線デコーダ、746 はワード線選択信号、747 は表示メモリ 744 から読み出した表示データ線、748 は表示データを 1 ライン同時にラッチするデータラッチ回路、749 はラッチ表示データ、750 は階調電圧信号群 739 からラッチ表示データ 749 に対応する階調電圧を選択する階調電圧選択回路、752 は階調電圧選択回路 750 で選択した選択階調電圧 751 をバッファ回路でバッファして出力する出力バッファ回路であり、753 は 160×RGB×240 の液晶パネル 707 を駆動する階調駆動電圧である。

【0084】図 33、図 34 は、CPU のデータドライ

パのライトアクセス、リードアクセスのタイミングを示す図、図35は階調電圧生成回路の構成図、図36、図37は階調電圧生成回路の選択回路の構成図である。図38は階調制御レジスタの内容を示す図である。

【0085】第2の実施例と同様に本実施例では、図22に示すように、同一ラインの画素は交流極性が同じで、隣接するラインの画素が互いに交流極性が逆となるコモン反転駆動を行うため、図23に示すように隣接するラインの交流極性は逆となり、これに同期して液晶の対抗電極の電圧であるコモン電圧(Vcom)を反転することで交流駆動を行う。次に、これらの表示動作について説明する。図32において、CPU701は表示データをデータドライバ704に内蔵する表示メモリ744に書き込みを行う。CPU701はシステムバス702を通じて制御信号郡708、データ709を転送し、図33、図34に示すように、チップセレクト信号CS、ライト信号WR、リード信号RD、16ビットのデータD15からD0によって、データドライバ704にコマンドを転送して、表示メモリのライト制御、リード制御や階調制御レジスタの制御を行う。例えば、表示メモリ744に表示データをライトする場合、CPU701はデータドライバ704に表示メモリアドレスの書き込みコマンドを転送してアドレスを転送し、次に表示データの書き込みコマンドを転送して、表示データを転送する。データドライバ704では、表示メモリアドレスの書き込みコマンドに対応してメモリ制御レジスタ710に表示メモリのアドレスを保持し、表示データの書き込みコマンドに対応してメモリ制御回路711がデータ線デコーダ740、ワード線デコーダ745に書き込みを行うアドレスを設定して、表示メモリ744に表示データの書き込みを行う。この動作を表示メモリの各アドレスに行くことで、1画面のデータを表示メモリ744に書き込むことができる。表示メモリ744の表示データは、発振回路716で生成する表示基準クロック717から表示制御回路718で生成するデータ水平同期信号720によって、走査カウンタ719は表示ラインの表示ワードアドレス726を生成し、ワードアドレス選択回路715は表示期間では表示ワードアドレス726を選択し、ワード線デコーダ745によって、表示するラインのワード線が選択される。そして、表示メモリ744の表示データ747をデータ水平同期信号720で480出力分同時にデータラッチ回路748にラッチし、各出力の表示データ749に対応した階調電圧信号郡739を階調電圧選択回路750で選択して、出力バッファ回路752でバッファして階調駆動電圧753を1ライン同時に出力する。

【0086】一方、走査ドライバ706は、データドライバ704で生成されたフレーム同期信号FLMのタイミングで走査水平同期信号CL3に同期して1ライン目のゲート線を選択し、走査水平同期信号CL3に同期し

て、順次2ライン目、3ライン目のゲート線を選択する。走査水平同期信号CL3の1024クロックで順次1024ラインを選択し、次のフレーム同期信号FLMが有効になると、1ライン目のゲート線を選択する。このようにフレーム周期で240ラインを選択する動作を繰り返すことで線順次選択動作を行い、データドライバ704によって液晶パネル707のデータ線に階調駆動電圧753が出力され、表示データに対応した表示を実現する。

10 【0087】次に、階調制御の動作について説明する。階調電圧信号郡739は、電源回路705で生成した正極性V0からV4、負極性V5からV9の10レベルの基準電圧731を階調電圧生成回路738に入力する。図35、図36、図37は階調電圧生成回路738の内部構成図で、801は基準電圧選択回路、802は基準電圧、803は基準電圧生成回路、804は選択基準電圧で基準電圧VS0からVS63の64レベルの電圧となる。805は選択基準電圧804から基準電圧を選択する回路で、806は階調生成基準電圧で、807は階調生成基準電圧806から液晶パネルを駆動する64階調(VG0からVG63)の階調電圧739生成する階調電圧生成回路である。

20 【0088】次に、階調電圧生成動作について、各回路の動作を説明する。基準電圧選択回路801は、交流化信号729に対応して、正極性V0からV4と負極性V5からV9を選択する。従って、階調電圧生成回路738では、基準電圧731のV0からV9の10レベルから64レベルの階調電圧739を生成するが、交流化信号729が正極性の場合は正極性の階調電圧、負極性の場合は負極性の階調電圧のどちらかが生成される。この時、切換え回路734では、図23に示すように、正極性の階調電圧が印加される場合と負極性の階調電圧が印加される場合に対応して、交流化信号729で正極性コモン電圧732と負極性コモン電圧733を切換え、液晶パネル707のコモン電極を駆動する。

30 【0089】基準電圧生成回路803は、図37に示すように、V0SとV1Sの間を16分圧してVS0からVS15までの16レベルの選択基準電圧804を生成し、V1SとV2Sの間も同様に16分圧してVS16からVS31までの16レベルの選択基準電圧を生成する。V2SからV4Sの基準電圧の間を同様に選択基準電圧を生成することで、VS0からVS63の64レベルの選択基準電圧804を生成する。選択回路805では、階調電圧生成回路807で階調電圧を生成するための基準電圧を選択基準電圧804の中から選択する動作を行う。図37において、階調電圧生成回路807は基準電圧V1BからV7Bの間を分圧して階調電圧を生成する。階調電圧VG0からVG7の8レベルは、基準電圧V0Sと選択回路805で選択した階調生成基準電圧V1Bの間を8分圧して生成する。階調電圧VG8

からVG15の8レベルは、選択回路805で選択した階調生成基準電圧V1BとV2Bの間を8分圧して生成する。同様に、V2BからV7Bの間を分圧することでVG16からVG55の階調電圧を生成する。階調電圧VG56からVG63の8レベルは、選択回路805で選択した階調生成基準電圧V7Bと基準電圧V4Sとの間を8分圧して生成する。従って、選択回路805で、階調制御信号737によって階調生成基準電圧806の電圧選択を制御することで階調電圧を制御することができる。図37において、バッファアンプ808は選択電圧をバッファして、階調生成基準電圧V1BからV7Bを階調電圧生成回路807に接続する。例えば、階調生成基準電圧V1Bは選択基準電圧VS0、VS1からVG31までの32レベルから1レベルを選択して、階調生成基準電圧V1Bを生成する。また、階調生成基準電圧V2Bは選択基準電圧VS0、VS1からVG31までの32レベルから1レベルを選択して、階調生成基準電圧V2Bを生成する。同様に、階調生成基準電圧V3Bは選択基準電圧VS8、VS9からVG39までの32レベルから1レベルを選択して、階調生成基準電圧V3Bを生成し、階調生成基準電圧V4Bは選択基準電圧VS16、VS17からVG47までの32レベルから1レベルを選択して、階調生成基準電圧V4Bを生成し、階調生成基準電圧V5Bは選択基準電圧VS25、VS26からVG56までの32レベルから1レベルを選択して、階調生成基準電圧V5Bを生成し、階調生成基準電圧V6Bは選択基準電圧VS32、VS33からVG63までの32レベルから1レベルを選択して、階調生成基準電圧V6Bを生成し、階調生成基準電圧V7Bは選択基準電圧VS32、VS33からVG63までの32レベルから1レベルを選択して、階調生成基準電圧V7Bを生成する。

【0090】また、図37の809、810は選択回路で、基準電圧V0S、V4Sをそれぞれ選択する回路で、第2の実施例のV0、V8を選択する図27、図28に内部構成図と同様である。図27と同様に階調電圧生成回路809でも、階調電圧生成回路807の階調電圧VG2、VG4、VG6、VG10、VG12、VG14にB1からB6が接続されており、選択信号737によって選択スイッチが有効になった分圧ポイントに基準電圧V0Sが接続される。図28でも同様に階調電圧生成回路810でも、階調電圧生成回路807の階調電圧VG50、VG52、VG54、VG58、VG60、VG62にW6からW1が接続されており、選択信号737によって選択スイッチが有効になった分圧ポイントに基準電圧V4Sが接続される。この選択回路809、810によって、階調電圧生成回路807は低階調領域が基準電圧V0Sの電圧レベル、高階調領域が基準電圧V4Sの電圧レベルに固定されることになる。

【0091】次に、階調制御レジスタ736の構成及び

動作について説明する。第3の実施例では、図38に示すように、階調制御レジスタは9個で構成し、NO. 1からNO. 9のB1からB6、W1からW6の設定、V1BからV7Bの設定を行うレジスタで構成されている。階調制御レジスタ736への書き込みは、表示メモリ744への書き込みと同様に図33に示すタイミングで行われる。CPU701は階調制御データをデータドライバ704に内臓する階調制御レジスタ736に書き込みを行う。CPU701はシステムバス702を通じて制御信号郡708、データ709を転送し、図33に示すように、チップセレクト信号CS、ライト信号WR、リード信号RD、16ビットのデータD15からD0によって、データドライバ704にコマンドを転送して、階調制御レジスタの制御を行う。例えば、階調制御レジスタ736に階調制御データをライトする場合、CPU701はデータドライバ704に階調制御レジスタの書き込みコマンドを転送してアドレス(No.)を転送し、次に階調制御データの書き込みコマンドを転送して、階調制御データを転送する。データドライバ704では、階調制御レジスタのアドレスの書き込みコマンドに対応して階調制御レジスタが指定され、階調制御データの書き込みコマンドに対応して指定された階調制御レジスタ736に階調制御データの書き込みを行う。

【0092】以上のように、階調制御レジスタに設定データを書込むことで、階調電圧生成回路の階調生成基準電圧を設定することで、データ変換制御のように階調つぶれの少ない階調制御を実現できる。

【0093】次に、本発明により実現する階調制御について、図13から図18を用いて説明する。第3の実施例では、第1の実施例と同様に階調制御を行うことができる。

【0094】図13、図14、図15のヒストグラム伸長制御は、本実施例でも第1の実施例と同様に、表示画面の画素の輝度分布を調べ、低階調又は高階調領域の画素が少ない場合は、画素が少ない領域のコントラストを低下させ、画素が多数有る領域のコントラストを高くすることで、画面全体のコントラスト向上を実現する。このヒストグラムは液晶表示データと液晶階調電圧との対応関係として階調制御レジスタに保持され、それぞれのフレームによって生成されるヒストグラムに応じて階調生成基準電圧が決定される。

【0095】また、ヒストグラム伸長制御は、本実施例では、CPU701で輝度分布を調べ、その結果を基に階調制御レジスタNO. 1、NO. 2のB1からB6、W1からW6を設定することで8階調毎に低階調領域または高階調領域の電圧をV0S(VG0)、V4S(VG63)に固定することができ、容易に実現できる。

【0096】また、図16、図17に示したガンマ曲線制御についても、第1の実施例同様に階調制御を行うことができる。本実施例では、CPU701で入力される

10

20

30

40

50

映像信号がテレビ放送やDVD等の動画表示か、OA用途のテキストやドキュメントの表示かを判定し、その結果を基に階調制御レジスタNO. 3からNO. 9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでガンマ曲線の階調制御を行い任意のガンマ曲線の設定を容易に実現できる。

【0097】また、図18に示したイコライズ伸長制御についても、第1の実施例同様に階調制御を行うことができる。本実施例では、CPU701で輝度分布を調べ、その結果を基に階調制御レジスタNO. 3からNO. 9の階調制御レジスタを設定して、階調生成基準電圧V1BからV7Bを設定することでイコライズ伸長制御の階調制御を行い階調領域毎のコントラスト制御の設定を容易に実現できる。

【0098】以上のように、本実施例では、表示メモリを内蔵するデータドライバで階調制御を行うことで、画面が変化した場合のみCPUから表示メモリに表示データを転送することで、液晶表示システムの低消費電力化が実現できる。

【0099】尚、本実施例では、走査ドライバをデータドライバと別のチップ構成として、説明したがデータドライバと走査ドライバが同一チップの構成でも同様な階調制御が実現できる。

【0100】また、64階調表示に対応して、基準電圧を正極性、負極性それぞれ5本に設定したが、これに限ったものではなく、正極性、負極性それぞれ9本に設定した場合も、同様に階調制御が実現できる。また、階調生成基準電圧V1BからV7Bを32階調毎に設定したが、これに限ったものではなく、16階調毎に設定した場合でも同様に階調制御が実現できる。

【0101】

【発明の効果】本発明によれば、階調電圧生成回路の階調生成基準電圧を設定することで階調電圧を制御することで、データ変換制御のように階調つぶれのない階調制御を実現できる。

【0102】また、液晶コントローラで映像を解析して、データドライバの階調制御レジスタの設定を変更することで、動画のフレーム毎や映像シーン毎に、最適な階調制御を行うことが可能となる。

【0103】また、入力される映像信号がテレビ放送やDVD等の動画表示、OA用途のテキスト表示のそれぞれに対応して階調制御レジスタを設定することで、任意のガンマ曲線の設定を容易に実現できる。

【0104】また、データドライバの階調設定レジスタの設定は、表示データを転送するデータバスを用いて行うことで、液晶コントローラ、データドライバの端子数が増加しない。

【図面の簡単な説明】

【図1】本発明を適用した液晶表示装置の一実施例のブロック図。

【図2】ドット反転駆動を示す図。

【図3】ドット反転駆動のタイミング図。

【図4】液晶ディスプレイの駆動タイミングを示す図。

【図5】階調電圧生成回路の構成図。

【図6】階調電圧生成回路の構成図。

【図7】階調電圧生成回路の構成図。

【図8】階調電圧生成回路の構成図。

【図9】階調制御レジスタの仕様を示す図。

【図10】データバスのビット割付を示す図。

【図11】階調制御レジスタの構成図。

【図12】階調制御レジスタの設定のタイミング図。

【図13】ヒストグラム伸長制御を示す図。

【図14】ヒストグラム伸長制御を示す図。

【図15】ヒストグラム伸長制御を示す図。

【図16】ガンマ曲線制御を示す図。

【図17】ガンマ曲線制御を示す図。

【図18】イコライズ制御を示す図。

【図19】液晶コントローラの構成図。

【図20】液晶コントローラの構成図。

【図21】本発明を適用した液晶表示装置の一実施例のブロック図。

【図22】ドット反転駆動を示す図。

【図23】ドット反転駆動のタイミング図。

【図24】液晶ディスプレイの駆動タイミングを示す図。

【図25】階調電圧生成回路の構成図。

【図26】階調電圧生成回路の構成図。

【図27】階調電圧生成回路の構成図。

【図28】階調電圧生成回路の構成図。

【図29】液晶コントローラの構成図。

【図30】従来のデータ変換による階調制御を示す図。

【図31】従来のデータ変換による階調制御を示す図。

【図32】本発明を適用した液晶表示装置の一実施例のブロック図。

【図33】データドライバのライトアクセスタイミングを示す図。

【図34】データドライバのリードアクセスタイミングを示す図。

【図35】階調電圧生成回路の構成図。

【図36】階調電圧生成回路の構成図。

【図37】階調電圧生成回路の構成図。

【図38】階調制御レジスタの仕様を示す図。

【符号の説明】

100は表示信号群、1は液晶コントローラ、2はデータ取込みクロック、3は有効データスタート信号、4はデータ水平同期信号、5は表示データ、6は走査ドライバ制御信号群、7-1から7-8はデータドライバ、8は電源回路、17は正極性基準電圧、18は負極性基準電圧、9は液晶を走査する走査ドライバ、10は解像度1280×RGB×1024の液晶パネルである。ま

た、11はレジスタ制御回路、12はレジスタ制御信号郡、14はレジスタ出力信号、15は階調電圧生成回

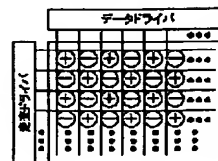
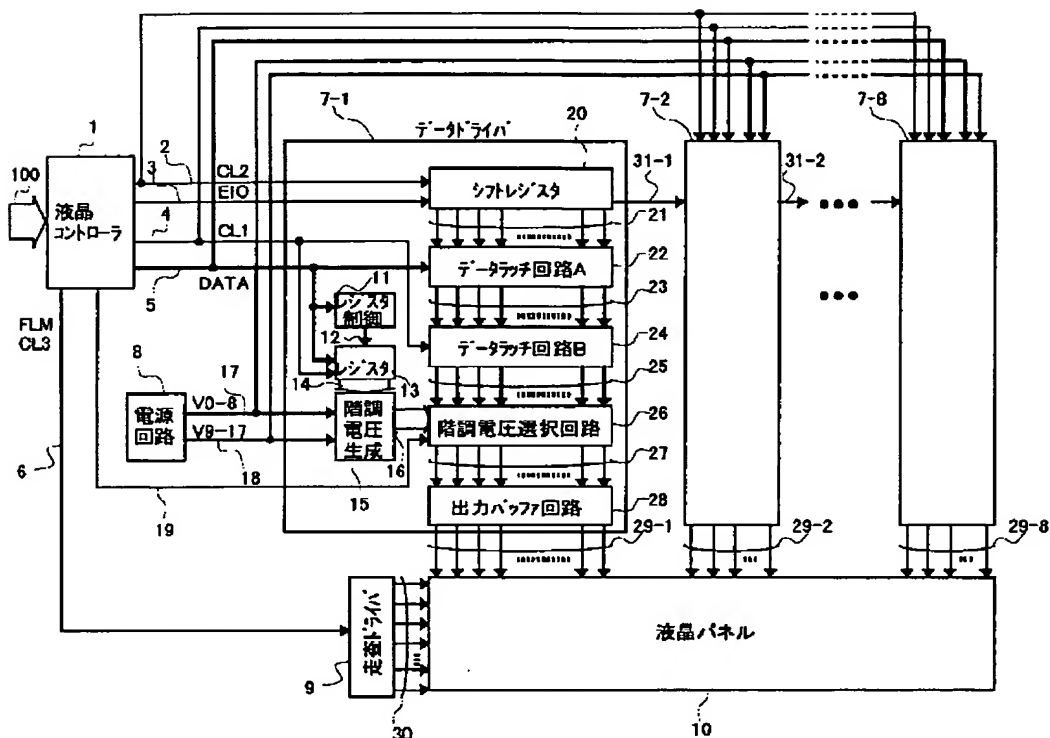
路、16は階調電圧、17は正極性基準電圧、18は負極性基準電圧である。

【図1】

【図2】

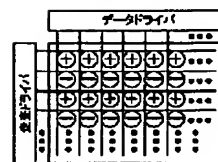
図1

図2



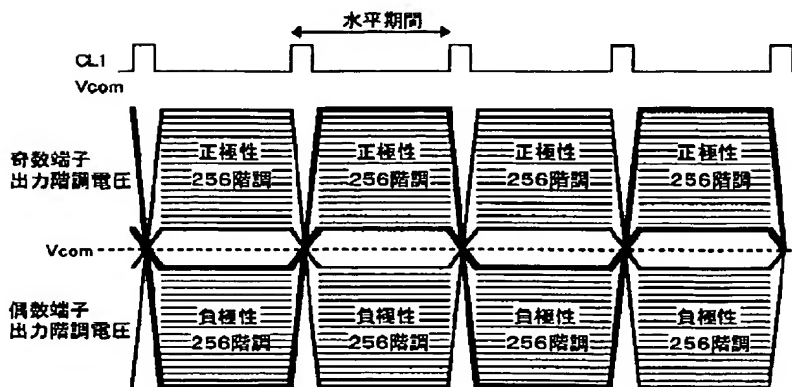
【図22】

図22



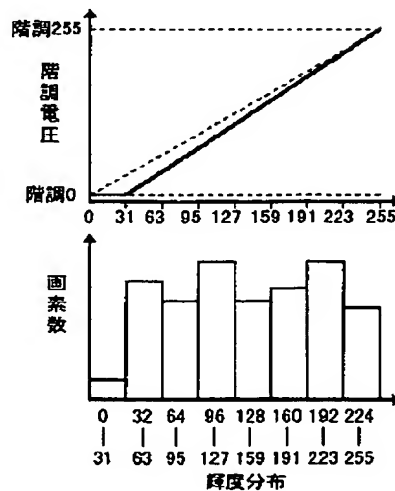
【図3】

図3

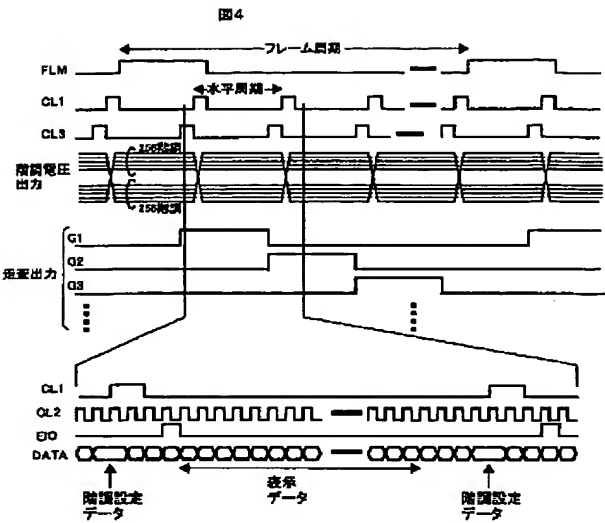


【図13】

図13

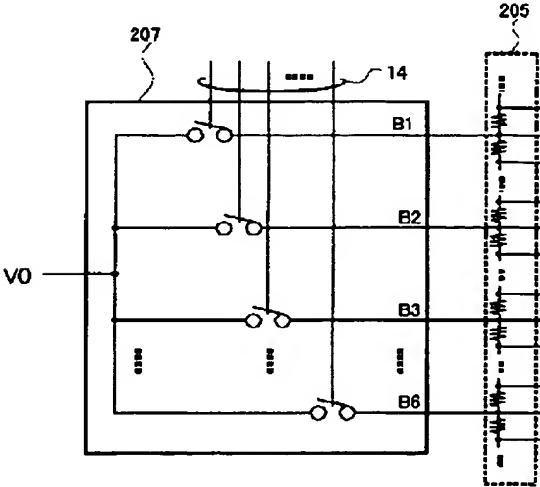


【図4】



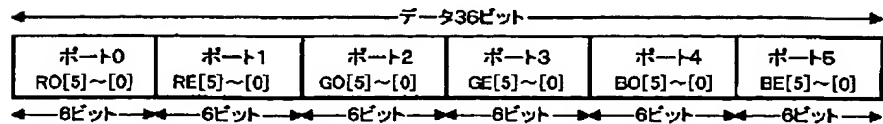
【図7】

図7



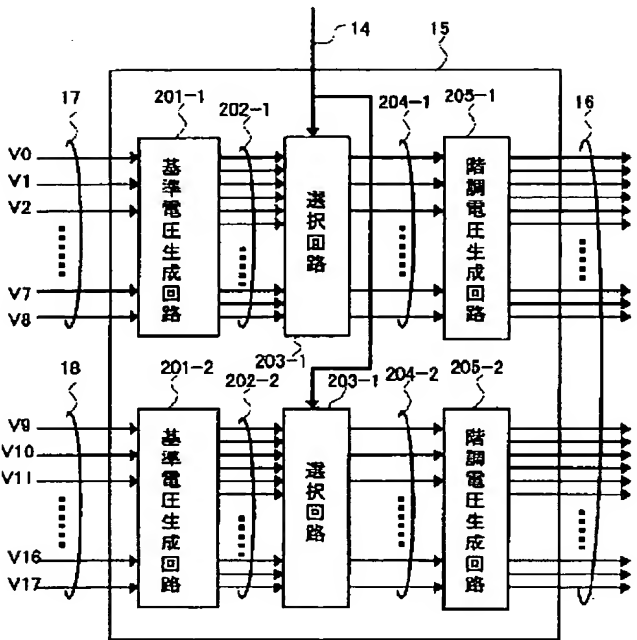
【図10】

図10



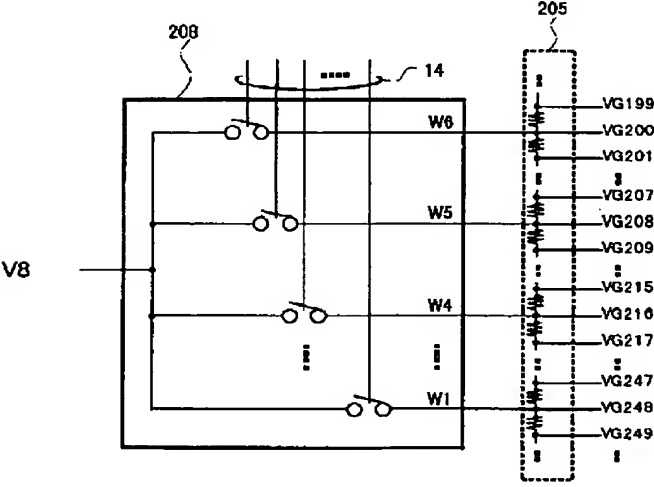
【図5】

図5

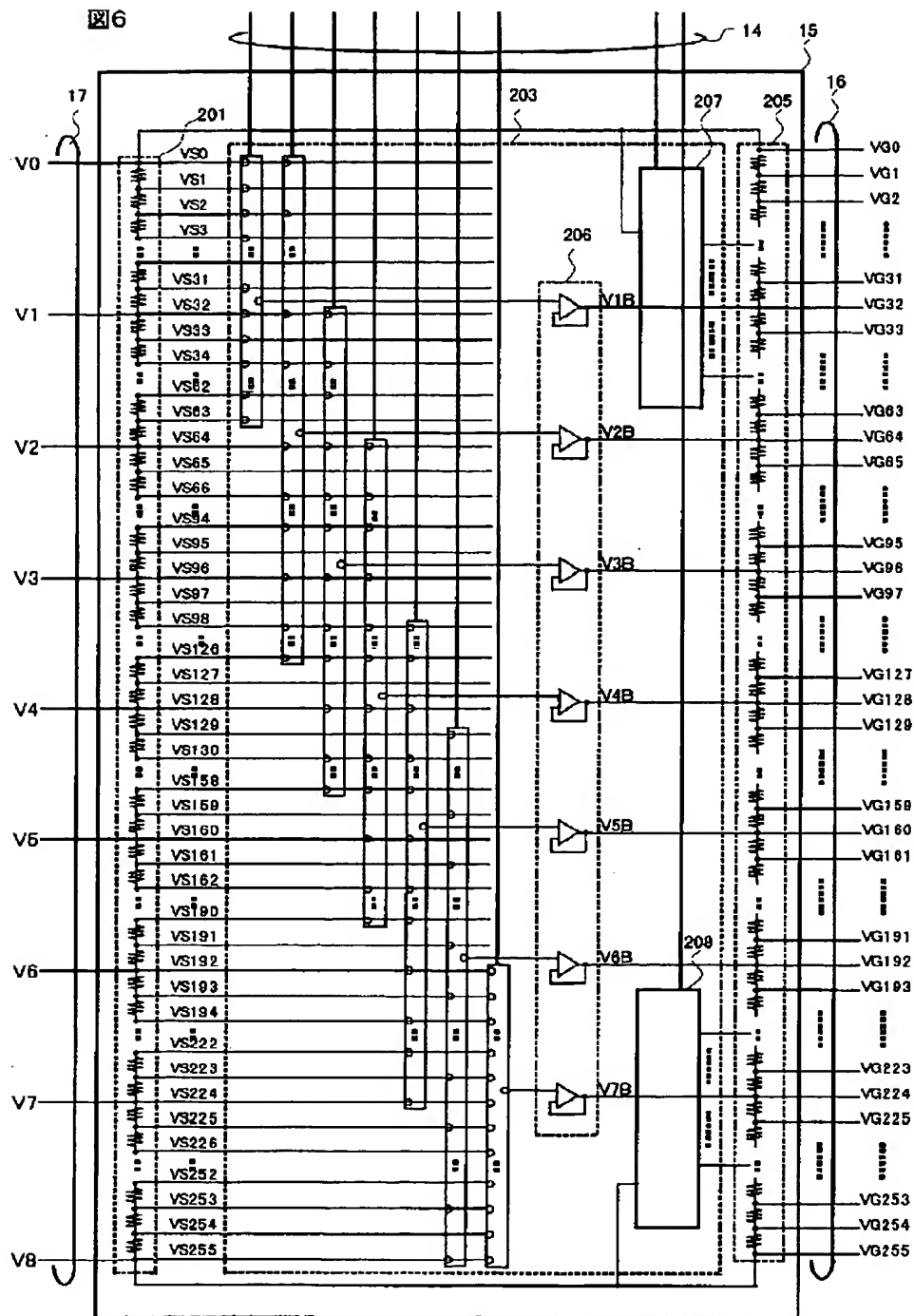


【図8】

図8



【図 6】



【図 9】

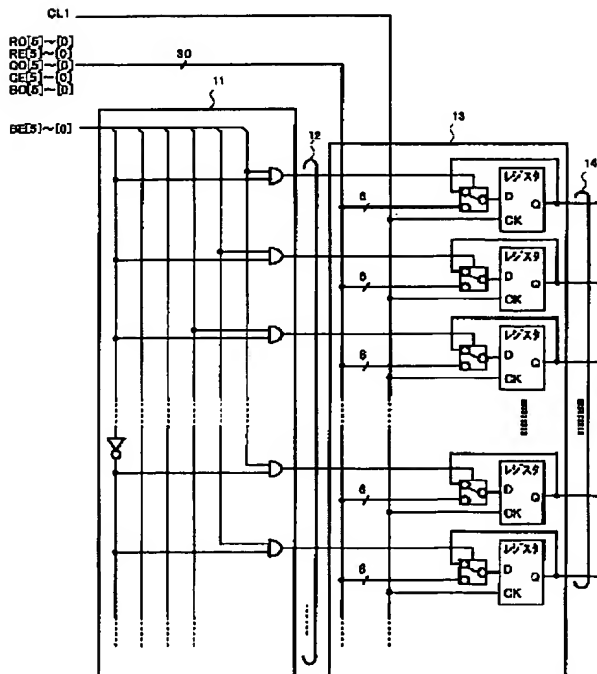
図9

NO	ビット	RS	P4~0	データビット							内容
1	0	0	P0	B6	B5	B4	B3	B2	B1		B1~B6設定
2	1	0	P1	W6	W5	W4	W3	W2	W1		W1~W6設定
3	2	0	P2	D5	D4	D3	D2	D1	D0		V1B設定
4	3	0	P3	D5	D4	D3	D2	D1	D0		V2B設定
5	4	0	P4	D5	D4	D3	D2	D1	D0		V3B設定
6	0	1	P0	D5	D4	D3	D2	D1	D0		V4B設定
7	1	1	P1	D5	D4	D3	D2	D1	D0		V5B設定
8	2	1	P2	D5	D4	D3	D2	D1	D0		V6B設定
9	3	1	P3	D5	D4	D3	D2	D1	D0		V7B設定
10	5	—	—	RS	P4	P3	P2	P1	P0		制御レジスタ

P4~P0='1': 対応する階調制御レジスタへの書き込みを実施
P4~P0='0': 対応する階調制御レジスタへの書き込みは行わない。
RS='0': B1~B6、W1~W6、V1B~V3Bの階調制御レジスタを選択
RS='1': V4B~V7Bの階調制御レジスタを選択

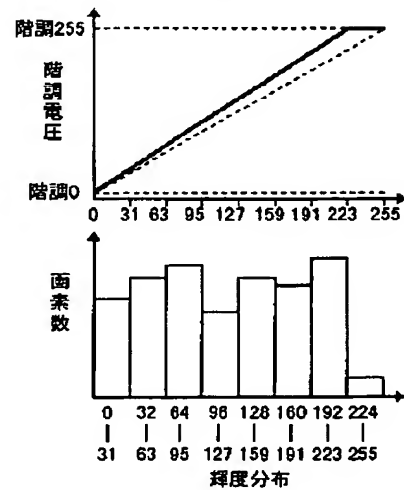
【図 11】

図11



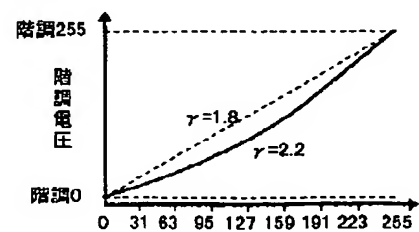
【図 14】

図14



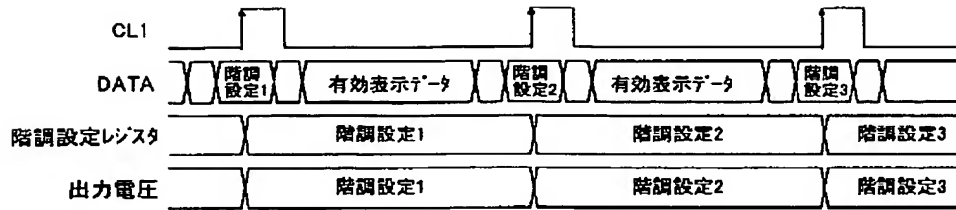
【図 16】

図16



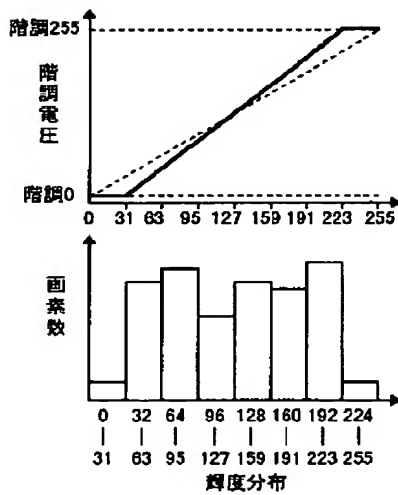
【図 12】

図 12



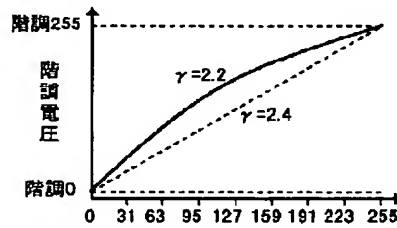
【図 15】

図 15



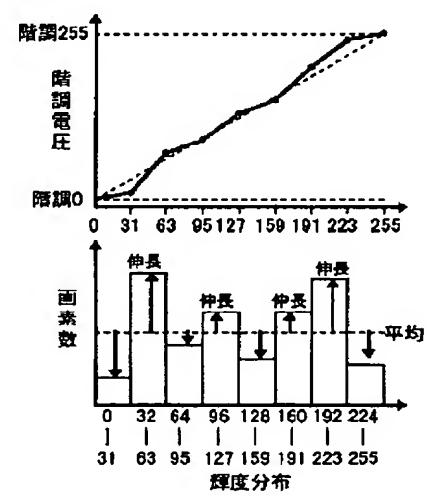
【図 17】

図 17



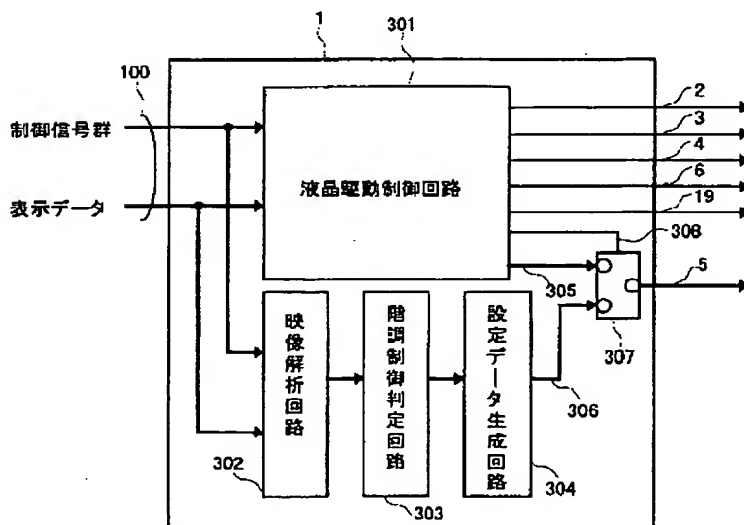
【図 18】

図 18



【図 19】

図 19



【図 30】

図 30

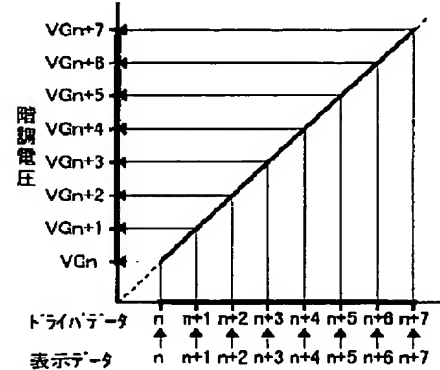
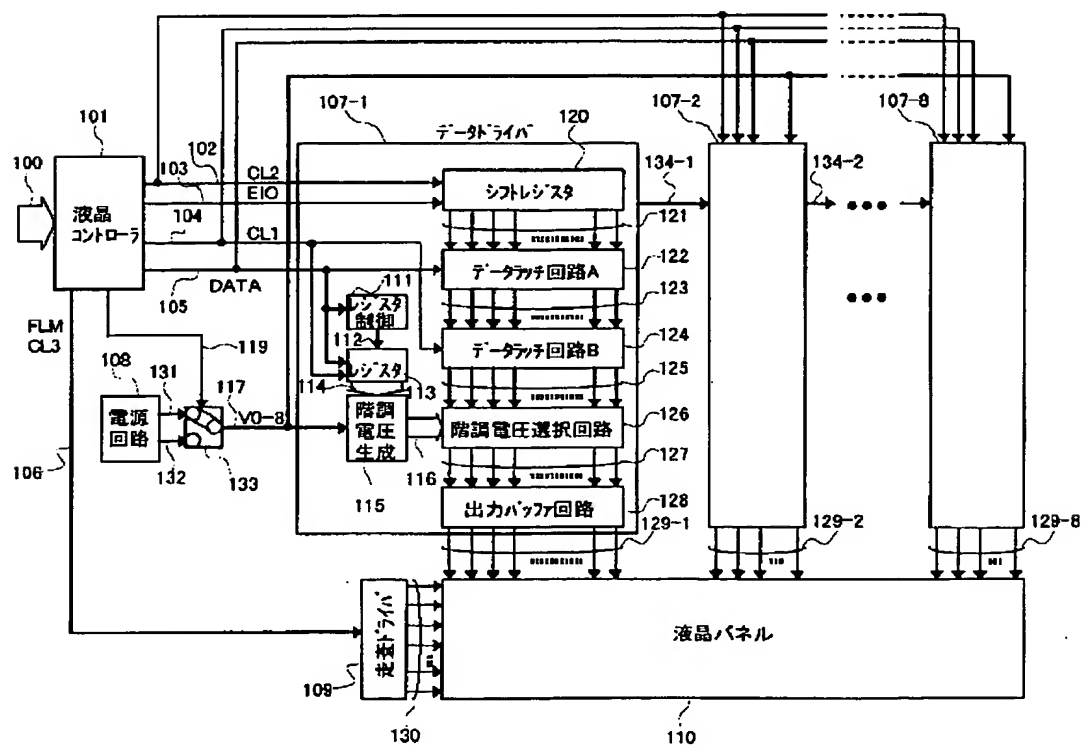
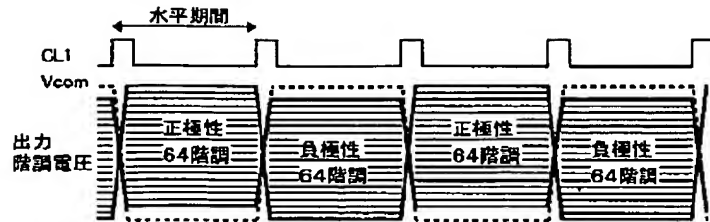


图20



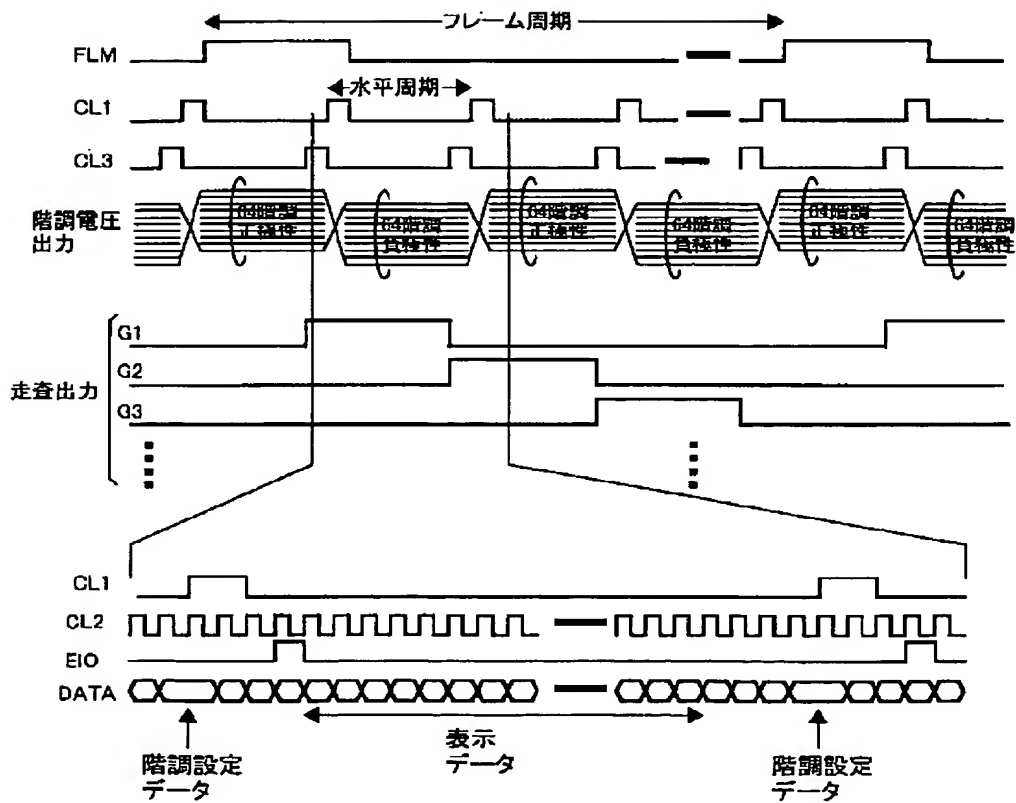
【図 23】

図23



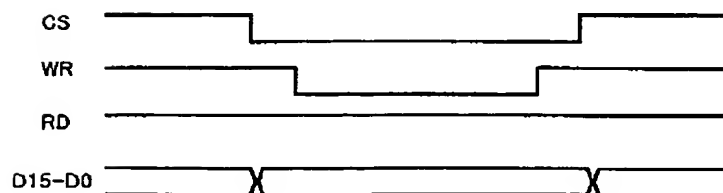
【図 24】

図24



【図 33】

図33



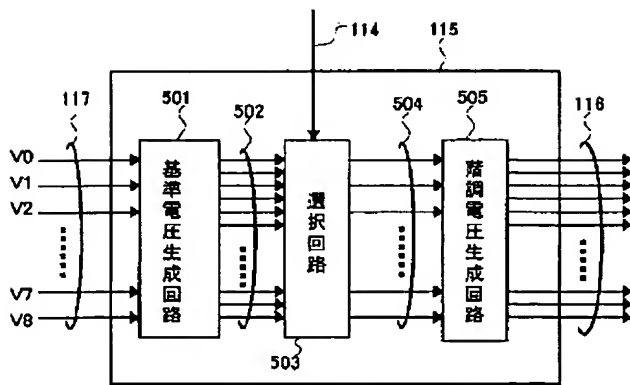
【図 38】

図38

NO.	アドレス	内容	内容
1	0	B8 B5 B4 B3 B2 B1	B1~B8設定
2	1	W8 W5 W4 W3 W2 W1	W1~W8設定
3	2	B4 B3 B2 B1 S0	V1B設定
4	3	S4 S3 S2 S1 S0	V2B設定
5	4	B4 B3 B2 B1 S0	V3B設定
6	5	B4 B3 B2 B1 S0	V4B設定
7	6	B4 B3 B2 B1 S0	V5B設定
8	7	S4 S3 S2 S1 S0	V6B設定
9	8	B4 B3 B2 B1 S0	V7B設定

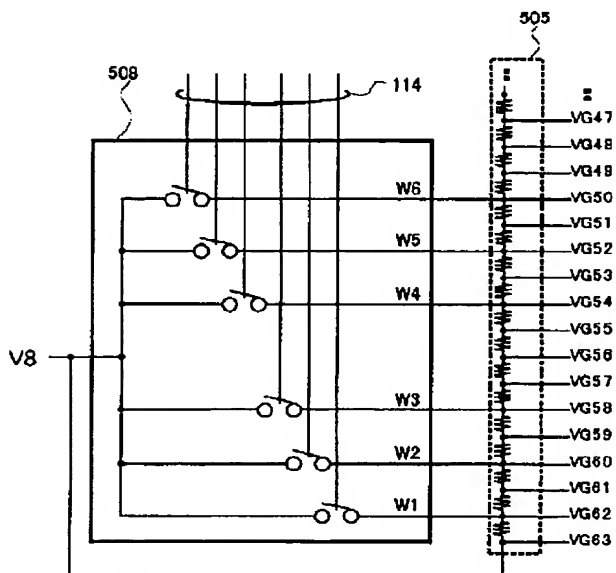
【図 25】

図26



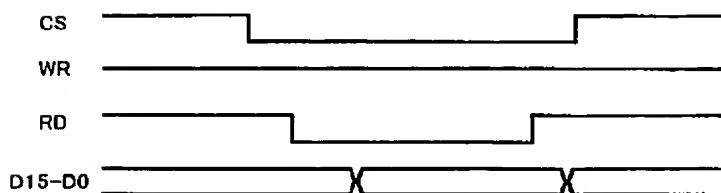
【図 28】

図28



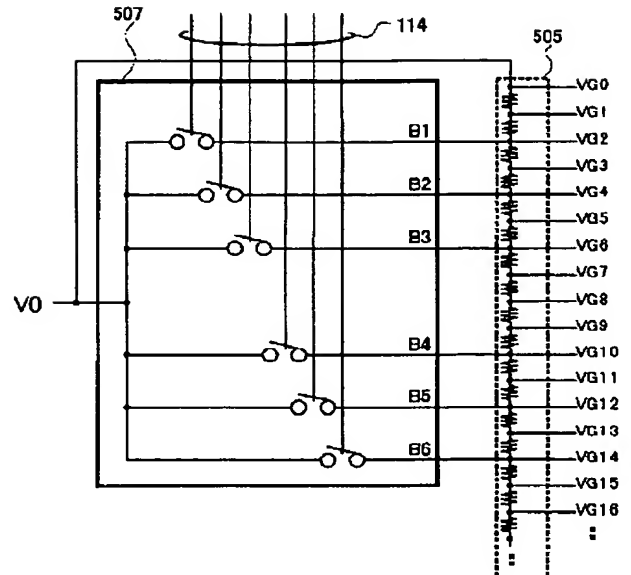
【図 34】

図34



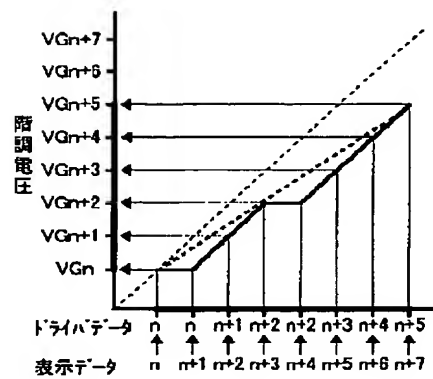
【図 27】

図27



【図 31】

図31



【図 26】

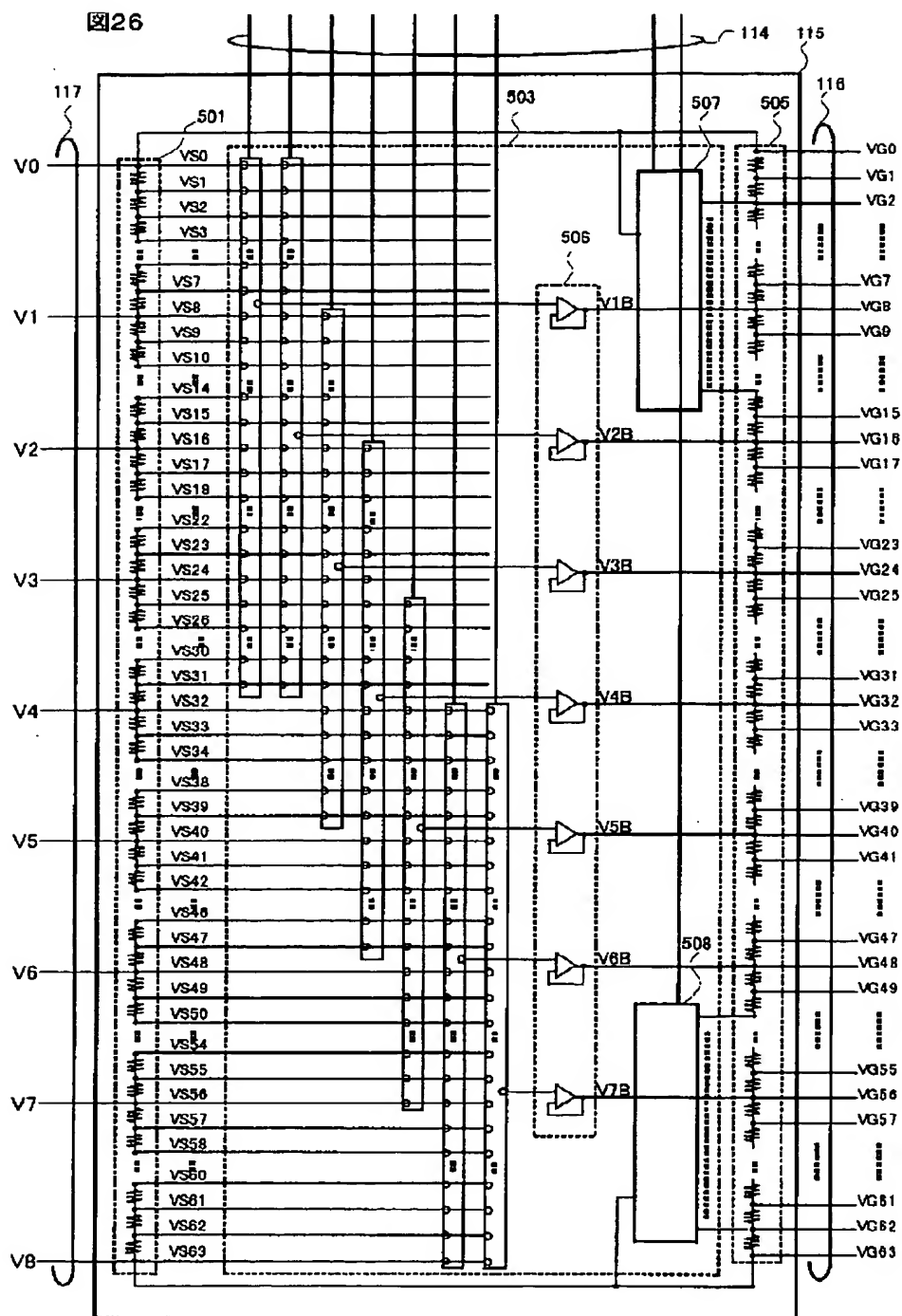


图29

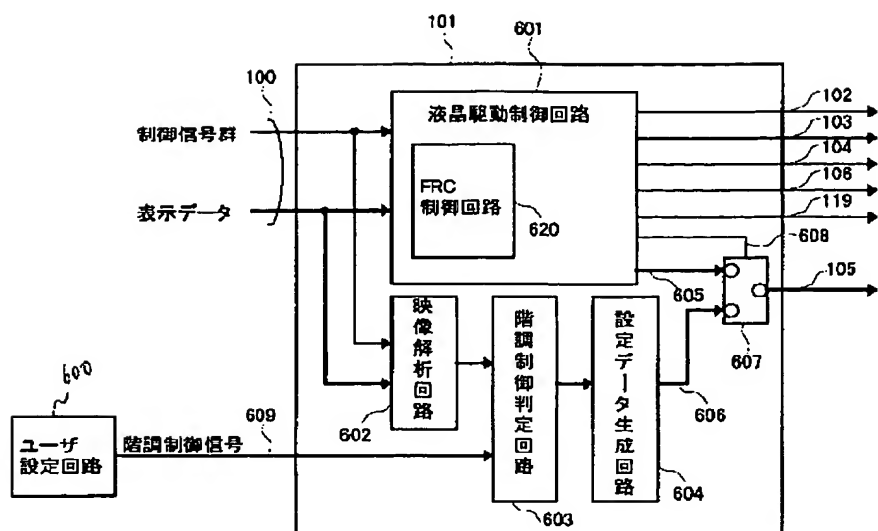
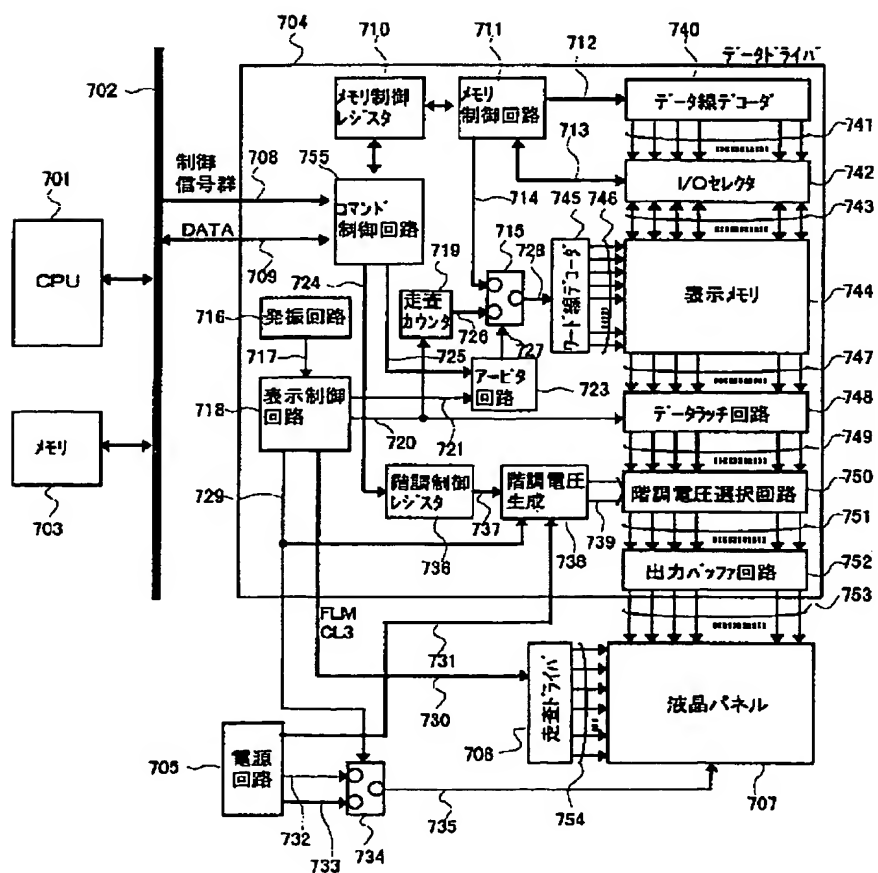
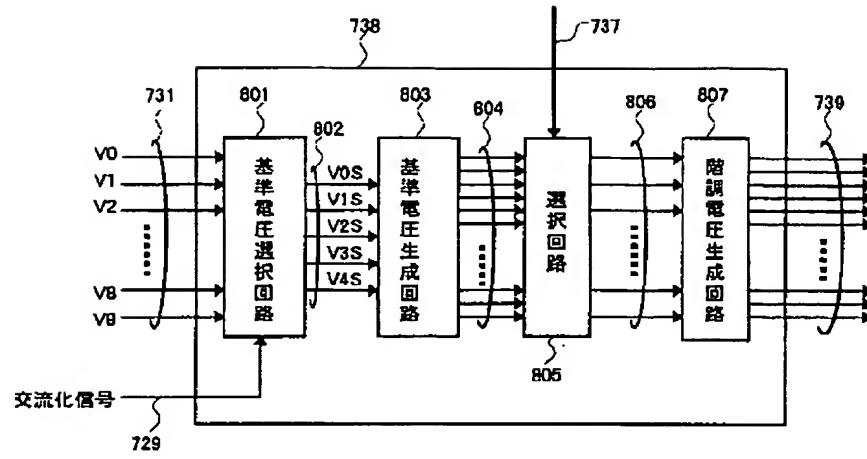


图 32



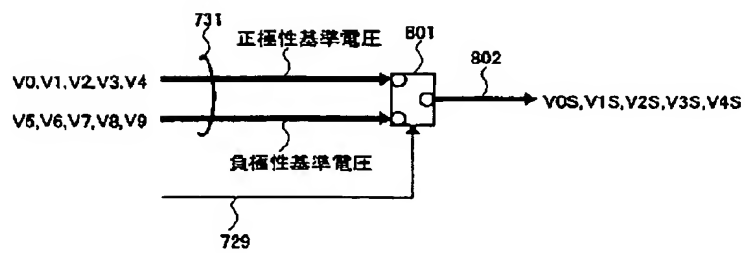
【圖 35】

圖35

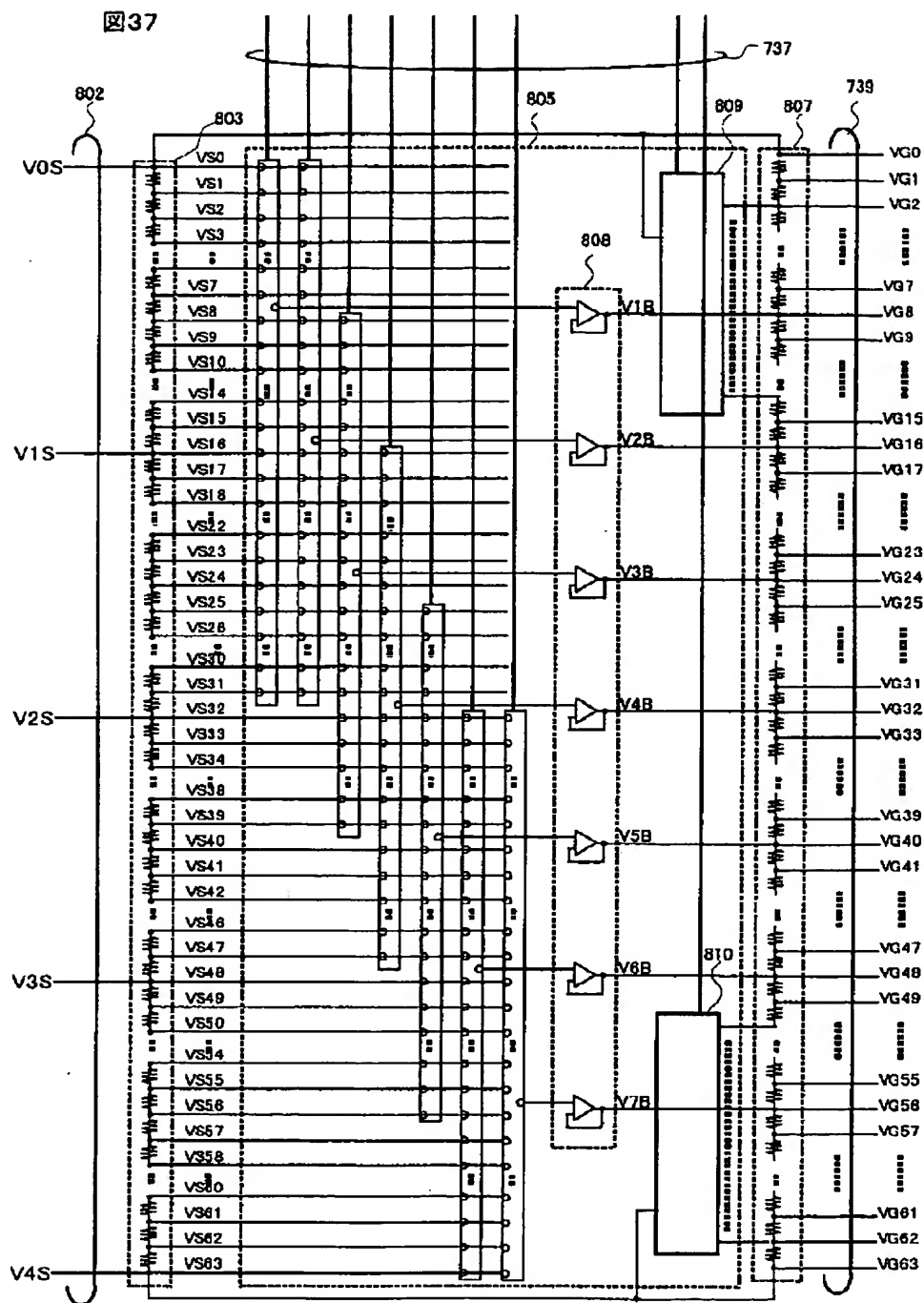


【圖 36】

圖36



【図 37】



フロントページの続き

(72)発明者 木村 誠
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体グループ内

(72)発明者 奥 博文
 千葉県茂原市早野3300番地 株式会社日立
 製作所ディスプレイグループ内

(72) 発明者 前田 武

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立画像情報システム内

F ターム (参考) 2H093 NA31 NA41 NA51 NC01 NC22
NC26 NC41 NC50 ND04
5C006 AA01 AA16 AA22 AC27 AF13
AF42 AF44 AF45 AF51 AF53
BB11 BC12, BF03 BF04 BF06
BF24 BF25 BF43 FA21 FA56
5C080 AA10 BB05 CC03 DD03 EE19
EE29 FF09 GG07 GG08 JJ02
JJ03 JJ04 JJ05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.